

Etude de la fiabilité des composants soumis à des stress éléctriques conduits

Feiyi Zhu

▶ **To cite this version:**

Feiyi Zhu. Etude de la fiabilité des composants soumis à des stress éléctriques conduits. Electronique. Université de Rouen Normandie, 2015. Français. NNT : . tel-02889289

HAL Id: tel-02889289

https://normandie-univ.hal.science/tel-02889289

Submitted on 10 Jul 2020

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Normandie Université

THESE

Pour obtenir le grade de Docteur

opéré par l'Université de Rouen

Électronique

Etude de la fiabilité des composants soumis à des stress éléctriques conduits

Présentée et soutenue publiquement par
Feiyi ZHU

Le 18-09-2015

Thèse soutenue publiquement le (date de soutenance) devant le jury composé de		
Madame Marise BAFLEUR	Directeur de recherches / LAAS/CNRS	Rapporteur
Monsieur Stéphane LEFEBVRE	Professeur / SATIE, CNAM	Rapporteur
Monsieur Luc CHASSAGNE	Professeur / Université de Versailles-Saint-Quentin-en-Yvelines	Examinateur
Monsieur Philippe DESCAMPS	Professeur / ENSI CAEN	Examinateur
Monsieur Abdelkhalak EL HAMI	Professeur / INSA Rouen	Examinateur
Monsieur François FOUQUET	Enseignant-Chercheur / IRSEEM/ESIGELEC	Co-Encadrant
Monsieur Blaise RAVELO	Docteur HDR / Enseignant-Chercheur / IRSEEM/ESIGELEC	Co-Encadrant
Monsieur Moncef KADI	Docteur HDR / Enseignant-Chercheur / IRSEEM/ESIGELEC	Directeur de thèse

Thèse dirigée par Moncef KADI, **laboratoire IRSEEM, ESIGELEC**

UNIVERSITÉ DE ROUEN

SPMII ECOLE DOCTORALE

irseem

Page intentionnellement blanche

Contact

Feiyi ZHU

E-mail: feiyi.zhu@outlook.com

feiyi.zhu@esigelec.fr

Laboratoire

ESIGELEC / IRSEEM

Institut de Recherche en Systèmes Électroniques Embarqués (IRSEEM), EA 4353,

Graduate school of engineering ESIGELEC,

Technopôle du Madrillet, Avenue Galilée, BP 10024,

76801 Saint Etienne du Rouvray, France

www.esigelec.fr/IRSEEM

Page intentionnellement blanche

RESUME

Pour répondre aux besoins des industriels concepteurs et fabricants des composants et systèmes électroniques, des techniques de test sont nécessaires pour l'amélioration de fiabilité. Actuellement, l'influence de certains phénomènes comme l'OVS (« Over-current et Over-voltage ») et l'EOS (« Electrical Overstress ») restent méconnus pour les ingénieurs électroniciens. Jusqu'à présent, ces phénomènes n'ont pas encore été classifiés dans les standards de test de fiabilité des composants électroniques. Ce constat nécessite une mise en place de technique de qualification pour l'évaluation de la fiabilité. De façon corollaire, les moyens d'essais ne sont pas précisément définis et la modélisation des composants face à ces types d'agression est peu répandue alors qu'elle est indispensable dans les études de la fiabilité des composants électroniques.

Cette thèse effectuée au sein de l'IRSEEM s'inscrit dans le cadre du projet SESAMES (« Study for Electrical overstress Standardization And Measuring Equipment Set-up »). L'objectif de cette recherche est d'améliorer la connaissance des modèles de composants soumis à des stress électriques conduits dont les caractéristiques les classent dans la famille « Electrical Overstress » (EOS). Pour comprendre le mécanisme de dégradation des composants électroniques durant et après avoir subi des EOS pulsés, un banc de test a été développé. La synoptique et le fonctionnement de cette plate-forme de test EOS a été explicitement décrit. La technique de génération des signaux représentant les EOS à l'aide des programmations Matlab et LabVIEW a été introduite. Pour différentes formes d'ondes EOS, les résultats expérimentaux des tests ont été présentés et commentés. Pour répondre aux besoins actuels des partenaires industriels du projet SESAMES, deux différents composants électroniques ont été expérimentalement testés et étudiés. Il s'agit d'une diode Zener et du circuit intégré CMOS TDA8007. Des hypothèses ont été formulées sur les raisons des dégradations subies par ces composants lors des stress EOS.

Des analyses de défaillances, à l'aide des MEB (« Microscopie Électronique à Balayage ») et FIB (« Focused Ion Beam en anglais ou Sonde Ionique Focalisée en français », des composants ayant subi des EOS générés par le banc de test qui a été développé ont été proposées. Des résultats permettant de comprendre le mécanisme de dégradation ont été présentés et interprétés. Cette analyse de défaillance permet de localiser et comprendre les sources de défaillance et l'état de fiabilité des composants testés. Pour prédire la fiabilité des composants électroniques durant et après EOS, il est important de se servir d'un modèle électrique susceptible d'être intégré dans des outils de simulation électrique. En s'appuyant sur les résultats expérimentaux obtenus, une méthodologie d'identification d'un modèle de diode durant et après EOS est établie. À base de cette méthodologie un modèle thermoélectrique est décrit par langage VHDL-AMS (« VHSIC Hardware Description Language - Analog and Mixed Systems en anglais »). Les résultats de simulation en comparant avec des résultats expérimentaux ont

été présentés. Le modèle a été validé expérimentalement et par simulation dans un environnement SPICE (« Simulation Program with Integrated Circuit Emphasis en anglais »). Le modèle développé pourra être utilisé dans le futur pour la prédiction des effets EOS.

Mots-clés : Electrical Overstress (EOS), Fiabilité, Banc de test EOS, Analyse de défaillance, Modélisation, Simulation.

ABSTRACT

Accurate method of reliability qualification is required to meet the needs of the electronic embedded components and systems. It was found that the undesirable effects as OVS (Over-current and over-voltage) part of EOS (Electrical Overstress) remains unknown for electronics engineers. So far, these effects are not yet classified in the reliability test standards of electronic components. As a corollary, relevant test method and model need to be developed in order to improve the electronic components reliability against these types of aggression.

The main objective of the present PhD thesis which was conducted in IRSEEM and involved in the SESAMES project (Study for Electrical overstress Standardization And Measuring Equipment Set-up) is to improve the knowledge of component models subjected to conducted electrical stress whose characteristics is classified in the "Electrical Overstress" (EOS) family. To understand the mechanism of electronic components degradation during and after pulsed EOS, a test bench was developed. The EOS test platform operation was described including the implementation of the pulsed EOS signals generation approach based on the Matlab and LabVIEW programming. For different EOS waveforms, after description of the experimental test set-up, the EOS test results were presented and discussed. To meet the needs of SESAME project industrial partners, two different electronic components were tested and studied. It acts as a Zener diode and the TDA8007 CMOS integrated circuits. Hypotheses have been formulated on the reasons for the degradation suffered by these components during EOS stress.

Based on the failure analyses on the components subjected to EOS generated by the developed test bench under SEM (Scanning Electron Microscopy) and FIB (Focused Ion Beam), results have been presented and interpreted to understand the mechanism of degradation. This failure analysis enables to locate and understand the failure sources and the reliability state of the tested components. To predict the components reliability during and after EOS, it is important to use an electrical model that can be integrated into electrical simulation tools. A methodology enabling the identification of a diode electrical model during and after EOS is established. Based on this methodology, a thermo-electrical model was described in VHDL-AMS (VHSIC Hardware Description Language - Analog and Mixed Systems). Simulation results comparing with experimental results were presented. The model was validated experimentally and by SPICE (Simulation Program with Integrated Circuit Emphasis) simulations. The developed model can be used in the future for the prediction of EOS effects.

Keywords: Electrical Overstress (EOS), Reliability, EOS test bench, Failure analysis, Modelling, Simulation.

Page intentionnellement blanche

献给我的父母和妻子以及孩子们

Page intentionnellement blanche

REMERCIEMENTS

Tout d'abord, je voudrais exprimer mes remerciements à Monsieur Eric Durieux, Directeur de l'ESIGELEC/IRSEEM à l'époque où j'effectuais ma thèse, de m'avoir offert l'opportunité d'effectuer cette thèse et de m'avoir accueilli dans le laboratoire.

Je tiens également à remercier Monsieur Moncef KADI, Responsable du Pôle Électronique et Systèmes, d'avoir accepté d'être le directeur de cette thèse et de m'avoir accordé toute sa confiance dans les avancées de mes travaux de recherche.

Merci également à Monsieur Luc CHASSAGNE, Professeur à l'Université de Versailles-Saint-Quentin-en-Yvelines, qui m'a fait l'honneur de présider mon jury.

Je voudrais exprimer ma gratitude à Monsieur Stéphane LEFEBVRE, Professeur au SATIE, et à Madame Marie BAFLEUR, Directeur de Recherche au LAAS, pour l'intérêt qu'ils ont montré à mes travaux au moment de rapporter ce travail.

Je souhaite remercier également à Monsieur Abdelkhalak EL HAMI, et Monsieur Philippe DESCAMPS pour avoir examiné mon travail.

Je voudrais remercier vivement Monsieur François Fouquet et Monsieur Blaise Ravelo, enseignant-chercheur à l'ESIGELEC, pour avoir encadré et suivi ces travaux. En m'impliquant au maximum dans le projet SESAMES, ils m'ont permis d'encore mieux valoriser mon travail au niveau des industriels.

Mon plus sincère remerciement à Monsieur Jean-Luc LEFEBVRE, pour m'avoir guidé dans le projet SESAMES durant ces trois années et pour être venu spécialement pour ma soutenance. Je le remercie pour son aide technique ainsi que pour son soutien.

Un grand merci à tous mes collègues de l'IRSEEM (anciens et actuels) qui ont fait que les heures de travail soient plus agréables. La liste est bien longue : Ahmed, Ali, Amin, Amine, An, Constant, Fabrice, Fengchun, Guillaume, Habib, Hadi, Hanen, Fahim, Fatou, Mireille, Morgon, Rajkumar, Samh, Thomas, Yan, Yang, Yasine, Yvon, Zouheir. Merci également au personnel technique et administratif de l'IRSEEM.

Et enfin, je remercie toute ma famille et mes amis en Chine qui ont pensé à moi pendant ces trois années ma monitrice d'auto-école qui m'avait encouragé à poursuivre en thèse. Je ne les ai jamais oubliés.

Page intentionnellement blanche

TABLE DE MATIERE

CONTRIBUTION AU PROJET « Study for Electrical overstress Standardization And Measuring Equipment Set-up (Acronyme: SESAMES) » 23

Chapitre 1 : État de l'art sur la fiabilité des composants électroniques soumis aux stress électriques conduits 29

Résumé du Chapitre 1 29
1.1. Introduction 29
1.2. Observation de défaillance des composants électroniques dues aux stress électriques 32
1.2.1. Décharge électrostatique (ESD = « Electrostatic discharge ») 33
1.2.2. Stress conduits dus aux phénomènes de Comptabilité ElectroMagnétique (CEM) et d'Interférence Électromagnétique (IEM) 34
1.2.3. Latch-up 35
1.2.4. Stress de surtension et de sur-courant électrique 36
1.3. Définitions de l'EOS 37
1.3.1. Première définition 37
1.3.2. Définition affinée 39
1.4. Origines des EOS 41
1.5. La susceptibilité EOS 43
1.5.1. Les différents types de susceptibilité EOS 43
1.5.2. Sensibilité EOS à la tension 44
1.5.3. Sensibilité EOS à l'énergie 44
1.6. Normes 45
1.6.1. Test d'ESD normalisées 45
1.6.1.1. Le modèle ESD corps humain 45
1.6.1.2. Le modèle dispositif chargé 46
1.6.1.3. Le Modèle Machine (MM) 47
1.6.2. Test de Latch-Up normalisé 48
1.7. Travaux existants sur les effets des EOS 49
1.7.1. Analyses des phénomènes physiques 50
1.7.1.1. Claquage diélectrique 50
1.7.1.2. Claquage de jonction 51
1.7.1.3. Fusion de conducteur métallique 52
1.7.2. Moyen d'essais EOS 53
1.7.2.1. Banc de test TLP 53
1.7.2.2. Banc de test automatisé (ATE) 54
1.7.2.3. Corrélation entre EOS et surtension électriques 55
1.8. Bilan des travaux existants et conclusion 55

Chapitre 2 : Tests de caractérisation EOS des composants électroniques 56

Résumé du Chapitre 2 56
2.1. Introduction 56
2.2. Banc de test EOS IRSEEM 57
2.2.1. Organisation générale 57
2.2.2. L'amplification de puissance 59
2.3. Caractérisation EOS de la diode Zener BZX84-B6V8 63

2.3.1. Description de la DUT **63**
2.3.2. Simulation sous Pspice avant de test **64**
2.3.3. Caractérisation de la DUT avant stress **66**
2.3.4. Les conditions pour stresser le composant **68**
2.3.5. Effet d'impulsion EOS de forme d'onde carrée **68**
2.3.5.1. Identification de l'influence de l'amplitude et de la durée 68
2.3.5.2. Influence de l'amplitude du stress 70
2.3.5.3. Influence de la durée du stress 71
2.3.5.4. Influence du nombre de période du stress 72
2.3.5.5. Influence de l'énergie et de la puissance du stress 73
2.3.6. Étude de l'EOS en forme d'onde double-exponentielle **73**
2.3.7. Étude de l'EOS en forme d'onde sinusoïdale amortie **75**
2.3.8. Vérification des caractéristiques après stress **76**
2.3.9. Conclusions sur les tests EOS pour la diode Zener **77**
2.4. Étude l'effet d'EOS sur le circuit intégré CMOS TDA8007 ..... **78**
2.4.1. Introduction **78**
2.4.2. Circuit équivalent d'entrée de la broche sous test **78**
2.4.3. Caractérisation du TDA8007 avant stress **79**
2.4.4. Caractérisation du TDA8007 durant l'EOS en forme d'onde carrée **80**
2.4.4.1. Introduction 80
2.4.4.2. Série 1 : V_{dd}=5V 80
2.4.4.3. Série 2 : V_{dd} flottante 84
2.4.4.4. Série 3 : V_{dd}=0V 86
2.4.5. Résultats d'EOS en forme d'onde double-exponentielle **89**
2.4.6. Forme d'onde sinusoïdale amortie **90**
2.4.7. Essais complémentaires **91**
2.4.7.1. Introduction 91
2.4.7.2. Résultats de stress sur V_{DD}/GND par EOS en forme d'onde carrée 92
2.4.7.3. Résultats de stress sur V_{DD}/CS par EOS en forme d'onde carrée 93
2.4.8. Caractérisation EOS du TDA8007 après stress **93**
2.5. Conclusion du Chapitre 2 ..... **95**

Chapitre 3 : Analyse microscopique de défaillance **96**

Résumé du Chapitre 3 ..... **96**
3.1. Introduction **96**
3.2. Analyse de défaillance de la diode Zener BZX84-B6V8 après EOS **96**
3.2.1. Mécanisme de dégradation pendant le stress **96**
3.2.2. Dégradation d'EOS par l'amplitude de stress **98**
3.2.3. Dégradation de la diode en fonction de la durée de l'EOS **99**
3.2.4. Analyse de dégradation de la diode en fonction de la périodicité et de l'amplitude de l'EOS **100**
3.2.5. Dégradation de la diode pour différentes formes d'onde d'EOS **100**
3.2.6. Analyse de défaillance **102**
3.2.6.1. Reproduction d'une dégradation EOS : fusion d'un fil de bonding 102
3.2.6.2. Reproduction d'une dégradation EOS : fusion d'une couche d'Aluminium 105
3.3. Analyse de défaillance du circuit intégré CMOS TDA8007 ..... **113**
3.3.1. Mécanisme de dégradation **113**
3.3.2. Analyse de défaillance du TDA8007 avec V_{dd}=+5V pendant stress **114**
3.3.3. Analyse de défaillance du TDA8007 avec V_{dd}=0V pendant stress **115**
3.3.4. Analyse de défaillance du TDA8007 après EOS au cas du court-circuit entre alimentation-masse **116**
3.3.5. Analyse de dégradation du TDA8007 après EOS à différentes formes d'onde **116**

3.3.6. Analyse de défaillance : Reproduction d'une dégradation EOS avec claquage d'une jonction 117
3.3.6.1. Choix du composant 117
3.3.6.2. Résultat du stress 118
3.3.6.3. Analyse de défaillance du TDA8007 n°15 120
3.3.6.4. Analyses de défaillance complémentaires du TDA8007 128
3.3.6.5. Conclusion 131
3.4 Conclusion du chapitre 3 132

Chapitre 4 : Modélisation de la diode Zener sous stress EOS 133

Résumé du Chapitre 4 133
4.1. Introduction 133
4.2. Modélisation des dispositifs sensibles à l'énergie des stress EOS 133
4.2.1. Introduction 133
4.2.2. Énergie d'activation pour la diode Zener BZX84-B6V8 135
4.2.2.1. Introduction 135
4.2.2.2. Onde carrée 136
4.2.2.3. Onde double-exponentielle 137
4.2.2.4. Analyse des résultats 138
4.2.2.5. Comparaison avec les données de constructeur 141
4.2.2.6. Conclusion 143
4.2.3. Énergie d'activation pour le circuit intégré CMOS TDA8007 144
4.2.3.1. Introduction 144
4.2.3.2. Rappel des résultats de mesures 144
4.2.3.3. Analyse des résultats 146
4.2.3.4. Conclusion 147
4.2.4. Conclusion 147
4.3. Modélisation et simulation 147
4.3.1 Introduction 147
4.3.2. Les langages de modélisation 148
4.3.2.1. SPICE 148
4.3.2.2. VHDL-AMS 148
4.3.2.3. Types de modèle EOS pour la Zener BZX84-B6V8 149
4.4. Modélisation physique électrothermique de la diode Zener BZX84-B6V8 avec VHDL-AMS 150
4.4.1. Introduction 150
4.4.2. Modèle électrothermique complet de la Zener BZX84-B6V8 151
4.4.2.1. Introduction 151
4.4.2.2. Modèle 1 : La diode 151
4.4.2.3. Modèle 2 : La diode Zener 152
4.4.2.4. Modèle 3 : Modèle 2 avec auto-échauffement 153
4.4.2.5. Modèle 4 : Modèle 3 avec ionisation par impact dépendante de la température 157
4.4.2.6. Modèle 5 : Modèle 4 avec prise en compte de l'effet de 2nde avalanche 158
4.4.2.7. Optimisation du modèle électronique de la Zener BZX84-B6V8 161
4.5. Modèle comportemental SPICE EOS de la diode Zener BZX84-B6V8 162
4.5.1. Expression du besoin 163
4.5.2. Modèle SPICE EOS de la BZX84-B6V8 163
4.5.3. Exemples de résultats avec la BZX84-B6V8 165
4.5.4. Conclusions et améliorations du modèle SPICE 168
4.6. Conclusion du Chapitre 4 169

CONCLUSION GENERALE ET PERSPECTIVES 171

BIBLIOGRAPHIE **175**

GLOSSAIRE **179**

ANNEXES **181**

Annexe 1 : Datasheet des composants testés **181**
A.1.1. Caractéristiques de la diode Zener BZX84B6V8 ..... **181**
A.1.2. Caractéristiques du CI CMOS TDA 8007 ..... **182**
Annexe 2 : Code LabVIEW de génération des signaux transitoires EOS **183**
Annexe 3 : Codes VHDL-AMS des modèles EOS **185**

LISTE DE PUBLICATIONS **187**

Journaux internationaux **187**
Conférences internationales **187**

Liste des Figures

Figure 1-1 : Les Systèmes Embarqués Invisibles 30
Figure 1-2 : Évolution du nombre de transistors intégrés dans un microprocesseur [2] 30
Figure 1-3 : Illustration d'une chaine de fabrication des dispositifs électroniques 31
Figure 1-4 : Détection de défaillance électronique sur le tableau de bord d'une voiture 32
Figure 1-5 : Exemple de fusion de la puce et du package d'un CI en même temps à cause d'un stress électrique [4] 33
Figure 1-6 : Différents modèles pour les tests d'ESD [5] 33
Figure 1-7 : Illustration des phénomènes CEM/IEM 34
Figure 1-8 : Exemple Latch-up – Transistors parasites dans un circuit CMOS [6] 35
Figure 1-9 : Exemple Latch-up – thyristor parasite [6] 36
Figure 1-10 : Jonction Drain-Canal d'un MESFET après stress ESD HBM [6] (à gauche) et comportement d'un transistor bipolaire endommagé par EOS [6] (à droite). 37
Figure 1-11 : Perspective de situation d'EOS [20] 39
Figure 1-12 : Causes des évènements EOS [19] 41
Figure 1-13 : Exemple de modèle HBM [42] 46
Figure 1-14 : Exemple de modèle de dispositif chargé [44] 47
Figure 1-15 : Circuit typique de MM [47] 47
Figure 1-16 : forme d'onde pour le test de courant positif [53] 48
Figure 1-17 : forme d'onde pour le test de courant négatif [53] 49
Figure 1-18 : forme d'onde pour le test de surtension sur la broche d'alimentation [53] 49
Figure 1-19 : Profil de changement de résistivité et de conductivité thermique du Silicium dope en fonctions de la température [48]. 52
Figure 1-20 : Banc d'essai TLP [56] 54
Figure 1-21 : Photo d'un ATE [57] 54
Figure 2-1 : Synoptique du banc de test EOS développé. 58
Figure 2-2 : Application du stress EOS au DUT. 59
Figure 2-3 : Amplificateur AC versus amplificateur DC. 59
Figure 2-4 : Amplificateur AC versus amplificateur DC-Formes d'ondes. 60
Figure 2-5 : Amplificateur AC versus amplificateur DC-Protections ESD. 61
Figure 2-6 : Amplificateur AC versus amplificateur DC-Protections ESD-Courants. 61
Figure 2-7 : Amplificateur IRSEEM pour stress EOS. 62
Figure 2-8 : Diode BZX84-B6V8 [58] 64
Figure 2-9. Simulation de la tension de coude de la diode BZX84-B6V8 64
Figure 2-10. Simulation de courant de fuite de la diode BZX84B6V8 65
Figure 2-11. Balayage de paramètre ISR dans le modèle 65
Figure 2-12. Balayage de paramètre RS dans le modèle 65
Figure 2-13. Balayage de paramètre BV dans le modèle 66
Figure 2-14. Balayage de paramètre IBV dans le modèle 66
Figure 2-15. Balayage de paramètre VJ dans le modèle 66
Figure 2-16. Caractéristique I(V) statique de la diode Zener avant stress obtenue par analyseur DC 67
Figure 2-17. Schéma de caractérisation manuelle de la diode Zener 67
Figure 2-18. Caractéristique I(V) de la diode Zener venant du banc de test manuel 68
Figure 2-19. Dégradation en cours de stress, conditions V_{stress}=17,4V, PW=4ms et R_s=5Ω (No. 4) 70
Figure 2-20. Influence d'amplitude EOS en cours de stress (N°33) 71
Figure 2-21. Caractéristique I(V) correspondant à la Figure 2-20 71
Figure 2-22. Influence de PW sur la caractéristique EOS de la DUT en cours de stress (No.19) 71
Figure 2-23. Courbe I(V) correspondant à la Figure 2-22 71
Figure 2-24. Influence d'EOS périodicité en cours de stress (No. 6) 72
Figure 2-25. Courbe I(V) correspondant à Figure 2-24 72
Figure 2-26. Test avec EOS en forme d'onde double-exponentielle et R_s=5Ω (No. 44) 74

Figure 2-27. Test avec EOS en forme d'onde double-exponentielle et R_s=3Ω (No.45) 74
Figure 2-28. Test avec EOS en forme d'onde double-exponentiel et R_s=2Ω (No. 46) 75
Figure 2-29. Test avec EOS en forme d'onde double-exponentiel et R_s=1Ω (No. 48) 75
Figure 2-30. Test avec EOS en forme d'onde sinusoïdale amortie pendant 50ms (No. 47) 76
Figure 2-31. Test avec EOS en forme d'onde sinusoïdale amortie pendant 100ms (No. 47) 76
Figure 2-32. Évolution des caractéristiques statiques en fonction du nombre de stress (No. 32) 77
Figure 2-33. Analyse de défaillance aux rayons X - Rupture du fil de bonding 78
Figure 2-34. Schéma équivalent de l'entrée de la broche CS du CI TDA8007 79
Figure 2-35. Caractéristique I(V) la broche CS du TDA8007 obtenue par la source mètre 80
Figure 2-36. Série 1. Schéma équivalent du circuit d'entrée du CI TDA8007 pour V_{dd}=+5V 81
Figure 2-37. Résultat du test EOS avec V_{stress}=16,4V, R_s=5Ω, PW=1ms et alimentation à +5V (No. 13) 82
Figure 2-38. Comparaison I(V) avant et après stress pour V_{stress}=16.4V, R_s=5Ω, PW=1ms 82
Figure 2-39. Résultat de 2ème test avec V_{dd}=5V (No. 15) 83
Figure 2-40. Caractéristique I(V) dynamique correspondante à la Figure 2-39 83
Figure 2-41. Caractéristique I(V) du TD8007 après stress pour V_{dd}=5V 84
Figure 2-42. Schéma équivalent du CI sous stress pour V_{dd} flottante 84
Figure 2-43. Résultat du 1er test pour V_{dd} flottante (No. 16) 84
Figure 2-44. Réponse du TDA8007 durant le stress avec {V_{stress}=16,8V, R_s=10Ω, PW=1,5ms} (No. 21) 86
Figure 2-45. Caractéristique I(V) durant le stress avec {V_{stress}=16,8V, R_s=10Ω, PW=1,5ms}. 86
Figure 2-46 : Résultat du test sans alimentation pour {V_{stress}=17,2V, R_s=20Ω, PW=18ms} (No. 22) 86
Figure 2-47 : Schéma d'entrée équivalent sous stress avec alimentation mise à la masse 87
Figure 2-48. Résultat de 1er test EOS avec V_{dd}=0V (No. 68) 87
Figure 2-49. Résultat de 2ième test pour V_{dd}=0V (No. 72) 89
Figure 2-50. Caractéristique I(V) correspondante à la Figure 2-49. 89
Figure 2-51. Résultat du 1er test avec EOS en forme d'onde double-exponentielle avec V_{dd}=5V (No. 84) 90
Figure 2-52. Résultat du 2ème test avec EOS en forme d'onde double-exponentielle avec V_{dd}=5V (No. 85) 90
Figure 2-53. Résultats de test du TDA8007 91
Figure 2-54. Schéma équivalent du TDA8007 pour le stress entre V_{DD} et GND 92
Figure 2-55. Résultats du stress du TDA8077 entre V_{DD} et GND (No. 90) 92
Figure 2-56 : Schéma équivalent du TDA8007 pour le stress entre V_{DD} et V_{CS} 93
Figure 2-57 : Résultat de test EOS du TDA8007 avec V_{dd}-V_{cs} (No. 91) 93
Figure 2-58 : Schéma équivalent du TDA8007 après avoir supprimer l'alimentation et la masse 94
Figure 2-59 : Caractéristiques I(V) du TDA8007 entre CS-GND avant stress 94
Figure 2-60 : Caractéristiques I(V) du TDA8007 CS-V_{DD} avant stress 94
Figure 2-61 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} avant stress 95
Figure 2-62 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} après stress 95
Figure 2-63 : Caractéristiques I(V) du TDA8007 entre V_{CS}-V_{DD} après stress 95
Figure 2-64 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} après stress 95
Figure 3-1. Résultat de test d'une diode BZX84B6V8 stressée par une impulsion carrée avec {V_{stress}=17,4V, R_s=5Ω, PW=4ms}. 98
Figure 3-2. Caractéristique I(V) transitoire correspondant à la Fig. 3-1. 98
Figure 3-3. Résultats de test d'influence d'amplitude d'EOS carré. 99
Figure 3-4. Caractéristique I-V pendant l'EOS correspondant à la Fig. 3-3. 99
Figure 3-5. Résultats d'analyse d'influence de durée d'EOS. 99
Figure 3-6. Caractéristique I-V pendant stress correspondant à la Fig. 3-5. 99
Figure 3-7. Résultats d'analyse d'influence de la périodicité d'EOS. 100
Figure 3-8. Caractéristiques I(V) pendant stress correspondant à la Fig. 3-7. 100
Figure 3-9. Réponse transitoire de la diode pendant l'EOS en forme d'onde double-exponentielle. 102
Figure 3-10. Réponse transitoire de la diode après EOS en forme d'onde double-exponentielle. 102
Figure 3-11. Réponse transitoire de la diode après EOS en forme d'onde sinusoïdale amortie. 102
Figure 3-12 : Vue aux rayons X de la Zener BZX84-B6V8. 103
Figure 3-13 : Rupture de bonding-diode Zener BZX84-B6V8. 103
Figure 3-14 : Vue aux rayons X - Rupture de bonding-diode Zener BZX84-B6V8. 104

Figure 3-15 : Vue aux rayons X- Rupture de bonding-diode Zener BZX84-B6V8. 104
Figure 3-16 : Caractéristiques I-V de la diode Zener 5. 106
Figure 3-17 : Caractéristiques I-V de la diode Zener 6. 107
Figure 3-18 : Microscopie optique de la diode Zener 5. 107
Figure 3-19 : Microscopie optique de la diode Zener 6. 108
Figure 3-20 : Microscopie optique de la diode Zener 11. 108
Figure 3-21 : Microscopie optique de la diode Zener 12. 109
Figure 3-22 : Image d'ensemble de la diode 39. 110
Figure 3-23 : Zooms sur trois zones proches de la surface. 110
Figure 3-24 : Zoom sur le bonding et les zones de fusion du bonding - Spectres EDX associés. 111
Figure 3-25 : Zooms sur trois zones proches de la surface. 111
Figure 3-26 : Zooms sur la partie gauche. 112
Figure 3-27 : Diode Zener-Topologie des couches. 112
Figure 3-28 : Zoom sous la zone de fusion du bonding et la zone de début de fusion du PAD Al. 113
Figure 3-29. Schéma d'entrée de la broche CS du TDA8007 sous test. 114
Figure 3-30. Résultats de test EOS avec alimentation pour t_r=t_d=2ms, PW=18ms et R_s=10Ω. 115
Figure 3-31. Caractéristique I(V) pendant l'EOS correspondant à la Figure 3-30. 115
Figure 3-32. Résultats de test EOS sans alimentation pour t_r=t_d=0,5ms, PW=1,5ms et R_s=10Ω. 115
Figure 3-33. Caractéristique I(V) pendant stress correspondant à la Figure 3-32. 115
Figure 3-34. Stress sans alimentation et les bornes alimentation-masse court-circuit. 116
Figure 3-35. Caractéristique I-V pendant stress correspondant à la Figure 3-34. 116
Figure 3-36 : Synoptique de l'entrée CMOS CS du TDA8007. 117
Figure 3-37 : Résultat du test EOS TDA8007 avec alimentation à V_{DD}=5V (No. 15). 118
Figure 3-38 : Caractéristique I-V du TDA8007 (No.15) après stress. 119
Figure 3-39 : Image optique du TDA8007 n°15. 120
Figure 3-40 : Image optique 50X du TDA8007 n°15. Détail de la zone CS. 121
Figure 3-41 : Image FIB tiltée de la zone de fusion du TDA8007 n°15. 122
Figure 3-42 : Détail de l'image FIB tiltée de la zone de fusion du TDA8007 n°15. 123
Figure 3-43 : Image FIB du TDA8007 n°15- Cross1- Zone gauche CS. 124
Figure 3-44 : Image FIB du TDA8007 n°15- Cross1- Zone droite CS. 124
Figure 3-45 : Image FIB du TDA8007 n°15- Cross4- Zone gauche CS. 125
Figure 3-46 : Image FIB du TDA8007 n°15- Cross4- Zone droite CS. 125
Figure 3-47 : Image FIB du TDA8007 n°15- Cross6- Zone GND1/ CS. 126
Figure 3-48 : Image FIB du TDA8007 n°15- Cross9- Zone GND1. 126
Figure 3-49 : Image FIB du TDA8007 n°15- Cross10- Zone CS. 127
Figure 3-50 : Image FIB du TDA8007 n°15- Cross10- Zone CS. 127
Figure 3-51 : Image optique 50X du TDA8007 n°84. Détail de la zone CS. 128
Figure 3-52 : Image optique 50X du TDA8007 n°84. Détail de la zone D2. 129
Figure 3-53 : Image optique 50X du TDA8007 n°85. Détail de la zone CS. 129
Figure 3-54 : Image optique 50X du TDA8007 n°84. Détail de la zone D2. 130
Figure 3-55 : Image optique 50X du TDA8007 n°87. Détail de la zone CS. 130
Figure 3-56 : Image optique 50X du TDA8007 n°87. Détail de la zone D2. 131
Figure 4-1 : Stress BZX84-B6V8. Conditions : onde carrée, 17,4V, 4ms, 5Ω. 134
Figure 4-2 : Application du stress EOS à la diode. 135
Figure 4-3 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme d'onde carrée- BZX84-B6V8. 137
Figure 4-4 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme double-exponentielle - BZX84-B6V8. 138
Figure 4-5 : Énergie $E_{Tot_b_EOS_f}$ vs $T_{b_EOS_f}$ - Comparaison Carrée/Double-exponentielle - BZX84-B6V8. 139
Figure 4-6 : Énergie $E_{Tot_b_EOS_f}$ vs $T_{b_EOS_f}$- Échelle log - Carrée/Double-exponentielle - BZX84-B6V8. 140
Figure 4-7 : BZX84-B6V8 - Puissance max dissipée en fonction de la durée en mode non répétitif. 141
Figure 4-8 : BZX84-B6V8 - Comparaison Puissance max dissipée et Puissance jusqu'à défaillance EOS. 143
Figure 4-9 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme carrée - Courbe bleue : TDA8007 avec alimentation. Courbe rouge : TDA8007 sans alimentation. 146
Figure 4-10: Modèle EOS prédictive électrothermique de la diode sous test [J1]. 150

Figure 4-11: Schéma de simulation pour la diode Zener-Modèle 2. 153
Figure 4-12: Résultats de simulation de la diode Zener-Modèle 2. 153
Figure 4-13: Schéma de simulation pour diode Zener avec auto-échauffement-Modèle 3 154
Figure 4-14: Résultat de simulation-Modèle 3. 155
Figure 4-15 : Résultat de mesures- BZX84-B6V8 - 3 pulses successifs. 156
Figure 4-16 : Schéma de simulation pour diode Zener avec dépendance ionisation par rapport à la température-Modèle 4. 157
Figure 4-17 : Résultat de simulation- Modèle 4. 158
Figure 4-18 : Diode Zener BZX84-B6V8 – Modèle 5. 159
Figure 4-19 : BZX84-B6V8-Puissance max dissipée en fonction de la durée en mode non répétitif. 160
Figure 4-20 : Schéma de simulation BZX84-B6V8 – Modèle 5. 161
Figure 4-21: Réponse du circuit de la Figure 4-20. 161
Figure 4-22: BZX84-B6V8 - Comparaison simulations (modèle 5 optimisé)//mesures. 162
Figure 4-23 : BZX84-B6V8 - Stress carré, 17,4V, 4ms, 5Ω. 162
Figure 4-24 : BZX84-B6V8 - Modèle SPICE EOS comportemental. 164
Figure 4-25 : BZX84-B6V8 - Dégradation en cours de stress, conditions 17,4V, 4ms, 5Ω. 165
Figure 4-26 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental 166
Figure 4-27 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental. 167
Figure 4-28 : BZX84-B6V8 - Dégradation en cours de stress- 167
Figure 4-29 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental 168

Liste des Tableaux

Tableau 1-1. Comparaison des événements ESD et EOS [15] _____ 40
Tableau 1-2. Résumé des mécanismes d'EOS défaillance _____ 43
Tableau 2-1 : Conditions et résultats des tests en fonction de l'amplitude et de la durée de l'EOS _____ 69
Tableau 2-2 : Tests sur l'influence de l'énergie et de la puissance du stress _____ 73
Tableau 2-3 : Tests pour identifier une dégradation irréversible (No. 32) _____ 76
Tableau 2-4 : Résultats des tests EOS en forme d'onde carré, PW=1ms et R_s=5Ω. _____ 81
Tableau 2-5 : Résultats de test d'identification de la dégradation du composant TDA8007 sous EOS en forme d'onde carrée _____ 83
Tableau 2-6 : Identification de la dégradation du composant TDA8007 _____ 85
Tableau 2-7 : Indentification de la dégradation du composant TDA8007 pour V_{dd}=0V _____ 88
Tableau 3-1 : Stress des diodes 5, 6, 11 et 12. _____ 106
Tableau 3-2 : Tests subis pour les échantillons 84, 85 et 87. _____ 128
Tableau 4-1 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme d'onde carrée- BZX84-B6V8. _____ 136
Tableau 4-2: Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme double-exponentielle - BZX84-B6V8. _____ 137
Tableau 4-3 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$- Forme carrée - TDA8007 avec alimentation. _____ 145
Tableau 4-4 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$- Forme carrée - TDA8007 sans alimentation. _____ 145

Page intentionnellement blanche

CONTRIBUTION AU PROJET « Study for Electrical overstress Standardization And Measuring Equipment Set-up (Acronyme: SESAMES) »

Programme FUI11 co-financé par l'ESEO et la région Haute-Normandie

- Contribution dans « WP3 : Développement du modèle du phénomène d'EOS » via co-encadrement d'un doctorant
- Consortium/Partenaires industriels : PRESTO Engineering (Caen) (Porteur du projet), NXP (Caen), Valeo (Créteil), STMicroelectronics (Tours), Renault (Guyancourt)
- Consortium/Partenaires académiques : LaMIPS (Université de Caen), IRSEEM/ESIGELEC (Rouen)
- Durée : 2011 – 2014

Page intentionnellement blanche

INTRODUCTION GENERALE

À l'heure actuelle, les grands donneurs d'ordre dans le domaine de l'électronique embarquée ont des exigences en termes de robustesse des systèmes électroniques qui nécessitent la mise en place de moyens de qualification de la robustesse des composants et des systèmes et aussi l'amélioration de cette robustesse. Certains domaines concernant les stress électriques auxquels peuvent soumis les composants (Electrical Overstress, en abrégé EOS) sont assez bien couverts aux niveaux moyens d'essais et amélioration de la robustesse comme les décharges électrostatiques (ElectroStatic Discharges, en abrégé ESD) et la susceptibilité électromagnétique conduite. En revanche, le domaine des surcharges de type OVS (Over-current et Over-voltage) qui est pourtant rapporté comme étant une cause de défaillance de plus en plus importante, ne fait pas actuellement l'objet de procédures normalisées d'essais.

De façon corollaire, les moyens d'essais nécessaires à la caractérisation OVS des composants ne sont pas précisément définis par des normes comme c'est le cas pour la compatibilité électromagnétique ou les ESD qu'ils sont indispensables pour évaluer et améliorer la robustesse des composants et des systèmes.

De même, la modélisation des composants face à ces types d'agression est peu répandue alors que, à cause du temps de développement d'un nouveau produit de plus en plus court aujourd'hui, la prise en compte des EOS/OVS devrait se faire au plus tôt dans le cycle de conception. Or, les logiciels de simulation les plus utilisés actuellement dans l'industrie ne fournissent pas de modèles EOS/OVS de composants qui permettraient de voir, pendant la simulation, si un composant va se dégrader à cause de surcharge en courant et ou en tension.

Pour répondre à ces besoins en caractérisation et en modélisation OVS, l'IRSEEM (Institut de recherche de l'ESIGELEC) et les partenaires industriels du projet « SESAMES » ont mené conjointement des études de la robustesse des composants électroniques soumis aux stress électriques conduits. Les travaux menés à l'IRSEEM sont reportés dans cette thèse. L'objectif de ce travail de thèse est de comprendre, sur quelques exemples significatifs, les mécanismes de dégradation pouvant apparaitre dans un composant électronique soumis à certains niveaux de stress électriques conduits et d'en déduire un modèle EOS/OVS pouvant être intégré un outil de simulation électrique utilisé couramment dans l'industrie.

Pour atteindre cet objectif, il nous a fallu :

- reproduire, en laboratoire avec des sources d'agression contrôlées, des phénomènes de dégradation représentatifs d'événements EOS/OVS,
- analyser la nature et l'étendue des dégradations observées à l'intérieur de composants stressés.

- rechercher la corrélation entre les paramètres du stress et l'apparition de dégradations pour établir un modèle EOS/OVS des composants étudiés.

Comme les moyens de test existants ne convenaient pas aux essais EOS/OVS, un banc de test OVS a été spécifiquement développé durant cette thèse.

Le manuscrit de thèse est divisé en quatre chapitres principaux complétés par des annexes.

Un état de l'art sur les travaux existants concernant les différentes sources des stress électriques conduits ainsi que les mécanismes de défaillance associés constitue le premier chapitre de ce manuscrit. Le but de cette partie est de faire le point sur les sources d'agression représentatives des OVS, la nature des dégradations observées à l'intérieur des composants et les modèles qui s'y rapportent. Ce travail de bibliographie a permis de confirmer les points suivants :

- les évènements ESD, qui constituent une partie des stress électriques conduits, ont été déjà largement étudiés et les modèles et les moyens de test sont normalisés par plusieurs associations.

- il n'existe pas beaucoup d'études sur les évènements EOS/OVS, les mécanismes de défaillance ne sont pas clairement identifiés et ni les moyens d'essais à utiliser ni les méthodologies associées n'ont fait encore l'objet de normalisation.

Dans le deuxième chapitre, nous présenterons tout d'abord le banc de test développé dans notre laboratoire pour reproduire des dégradations de composants électroniques entrainées par des stress EOS/OVS. Ce banc de test peut générer des signaux de stress avec des formes d'onde arbitraires. Les signaux délivrés par ce banc, dont plusieurs paramètres tels que l'amplitude, la durée, les temps de montée et de descente, sont amplifiés par un amplificateur de puissance qui lui aussi a été conçu sur mesure dans notre laboratoire. Compte tenu de la différence, au niveau gamme de durée, entre un stress EOS/OVS et un stress ESD, ce moyen d'essais est beaucoup plus adapté à la problématique OVS qu'un banc TLP (Transmission Line Pulse). Dans un second temps, les résultats des essais paramétriques menés sur deux composants seront présentés et analysés d'un point de vue qualitatif. Les composants stressés sont une diode Zener et un composant CMOS en technologie 90nm.

Dans le troisième chapitre, l'analyse quantitative des résultats des stress pour différents modes de dégradation EOS, croisée avec des analyses de défaillance effectuées sur des composants stressés, permettra de déduire les mécanismes de dégradation et de défaillance mis en jeu et d'établir la base du modèle EOS/OVS des composants étudiés.

Dans le quatrième chapitre, Pour les deux composants étudiés, le modèle retenu est basé sur la notion d'énergie accumulée au cours du stress. À partir de cette hypothèse, différents modèles électrothermiques ont été établis et implémentés sous Spice et ou sous VHDL-AMS pour reproduire les phénomènes de dégradation dus à une source d'agression OVS. Dans ce chapitre, l'accent est mis sur la méthodologie à suivre pour établir ces modèles afin de permettre la transposition à d'autres composants.

Page intentionnellement blanche

Chapitre 1 : État de l'art sur la fiabilité des composants électroniques soumis aux stress électriques conduits

Résumé du Chapitre 1

Ce premier chapitre présente l'état de l'art des travaux existants en matière de fiabilité des composants et systèmes électroniques soumis à des stress électriques conduits. Les différents phénomènes physiques et électriques identifiés comme sources de stress électriques sont décrits. Ensuite, les principales observations des effets induits par ces stress sont résumées et les constatations des comportements électriques des circuits en fonction des stresses sont synthétisées. Enfin, les normes présentant les caractérisations des composants pour différentes sortes de stress électrique comme l'ESD sont rappelées. À la fin du chapitre, les principaux objectifs des travaux menés dans cette thèse sont présentés et positionnés par rapport aux travaux existants.

1.1. Introduction

Du point de vue technologique, le 21ème siècle diffère des précédents par l'émergence des systèmes électroniques dotés d'intelligence embarquée. Les applications de ces systèmes électroniques intelligents (appareils électroménagers, appareils électroniques mobiles, objets de communication, voitures, avions, etc…) présentées sur la Figure 1-1 semblent maintenant indispensables pour l'amélioration du confort des usagers et pour l'automatisation de certaines tâches quotidiennes fastidieuses. Cependant, la réalisation de fonctions autonomes intelligentes capables de répondre aux besoins des utilisateurs nécessite l'implémentation d'une électronique de complexité accrue.

Malgré ce progrès technologique spectaculaire, pour assurer des besoins de type multitâches, les systèmes électroniques embarqués subissent indéniablement des limites en termes de ressources de calculs et de fiabilité souvent avec un niveau inversement proportionnel à la complexité. Cette dernière limitation peut être due à plusieurs facteurs clés dont les plus importants peuvent être liés à la densité d'intégration et à la consommation électrique des circuits intégrés. Face à ces contraintes, les industries microélectroniques n'ont cessé d'innover en développant de nouvelles générations de systèmes électroniques à base de micro- et nano-technologies de plus en plus performantes. Jusqu'à présent, la technologie la plus répandue reste celle des circuits intégrés (CI) sur silicium ou plus généralement à base de semi-conducteurs.



Figure 1-1 : Les Systèmes Embarqués Invisibles

Les évolutions de cette technologie à base de semi-conducteur ont été prédites par Moore dès 1959 [1]. Moore a constaté que la complexité des circuits intégrés semi-conducteurs proposés doublait tous les ans à coût constant et il affirmait que cette croissance allait se poursuivre en 1965 par la mise en œuvre de circuits intégrés plus performants contenant 64 transistors [1].

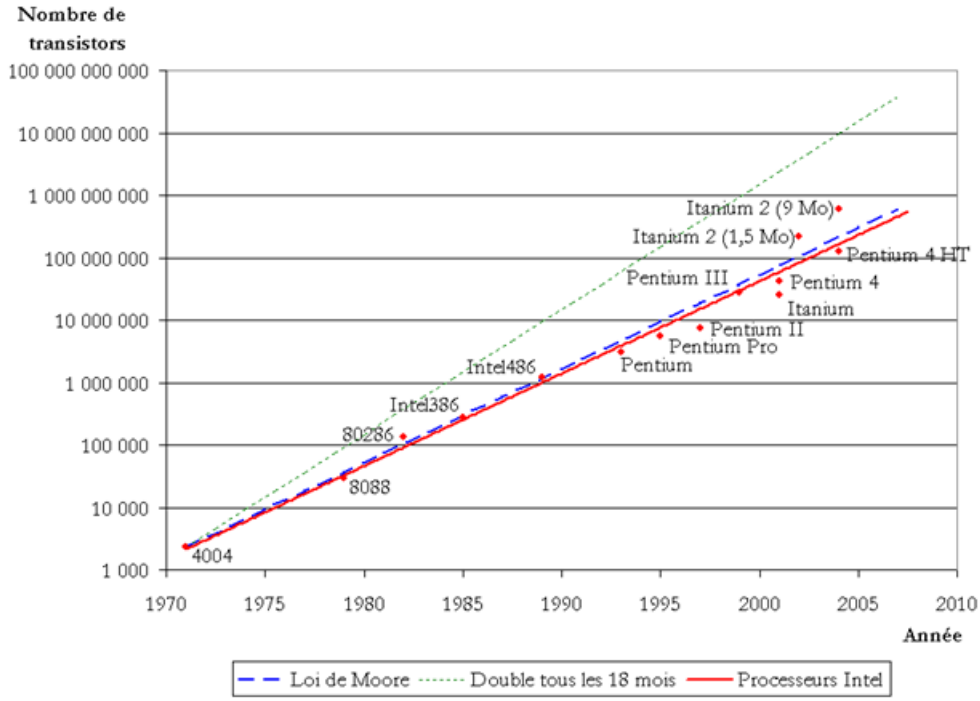


Figure 1-2 : Évolution du nombre de transistors intégrés dans un microprocesseur [2]

En 1975, Moore revoit son estimation et établit que le nombre de transistors par puce silicium, dans le cas des microprocesseurs, doublerait tous les deux ans [3]. Bien qu'il ne s'agisse pas d'une loi

physique mais seulement d'une extrapolation empirique, cette prédiction s'est révélée étonnamment exacte comme on le constate sur la Figure 1-2.

Le premier microprocesseur (Intel 4004) a été inventé en 1971. Il s'agissait d'une unité de calcul de 4 bits, cadencé à 108 kHz et intégrant 2300 transistors. La capacité d'intégration des transistors et la diminution de la gravure ont amélioré les performances des processeurs. Entre 1971 et 2001, la densité des transistors a doublé chaque 1,96 année. En conséquence, les machines électroniques sont devenues de moins en moins coûteuses et de plus en plus puissantes.

Grâce à ces avancées technologiques, les systèmes électroniques se sont considérablement miniaturisés afin d'intégrer plus de fonctions dans des espaces de plus en plus restreints. En plus, les circuits tendent aussi à fonctionner plus rapidement et à consommer moins d'énergie par la diminution de leur tension d'alimentation pour, par exemple, prolonger l'autonomie de batterie. Toutes ces tendances engendrent de nouvelles contraintes qui peuvent, entre autres, diminuer la robustesse des composants et des systèmes et ainsi provoquer des dysfonctionnements avec des conséquences préjudiciables d'un point de vue économique et sécuritaire. Par ailleurs, le développement d'une application complète, de l'expression de besoin jusqu'au système final passe par des étapes principales résumées par la Figure 1-3 même si en pratique, il existe encore beaucoup d'autres étapes techniques. On souligne que le développement d'un produit électronique commence par la conception de schéma électrique dans un bureau d'études.

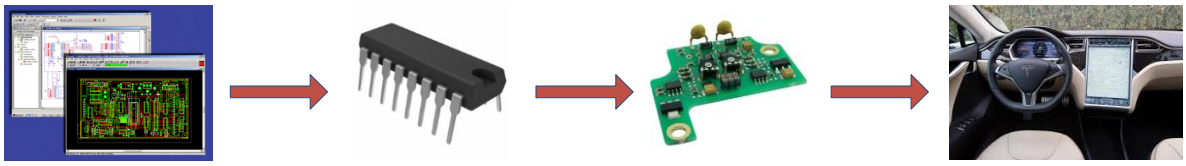


Figure 1-3 : Illustration d'une chaine de fabrication des dispositifs électroniques

Les ingénieurs de conception réalisent les schémas électroniques et électriques à l'aide des logiciels CAO (Conception Assistée par Ordinateur) et effectuent une simulation pour vérifier les fonctions à réaliser avant de passer à l'étape de fabrication. Sur le plan pratique, les composants électroniques discrets sont montés sur les cartes électroniques pour réaliser la fonction désirée pour le système embarqué. Enfin, les cartes sont insérées dans le produit final comme on peut le constater au quotidien, par exemple, dans les voitures. Parfois, comme le montre la Figure 1-4, les utilisateurs finaux peuvent rencontrer des pannes ou défaillances techniques pendant l'utilisation du système. Dans ce cas, les produits doivent être retournés au fabricant pour réparation ou remplacement. Tous ces rejets entrainent un surcoût. Il faut noter que ces retours clientèles sont généralement mal perçus notamment

par les utilisateurs et souvent générateurs de surcoût important pour les industriels fabricants. Il convient donc de traiter ces problèmes techniques le plus en amont possible.



Figure 1-4 : Détection de défaillance électronique sur le tableau de bord d'une voiture

Depuis l'émergence des semi-conducteurs, une des causes de défaillance des systèmes électroniques qui a particulièrement attiré l'attention des ingénieurs concepteurs et fabricants porte sur l'effet des stress électriques. Ces stress peuvent être dus à des origines multiples comme le contact avec le corps humain chargé ou une machine chargée. Il faut noter que les stress électriques peuvent intervenir sur une machine de fabrication ou d'assemblage. À cause des stress, les composants ou les systèmes électroniques ne sont pas seulement dégradés pendant leur phase d'utilisation finale mais aussi pendant les étapes de fabrication. En effet, la robustesse des composants et des systèmes vis-à-vis des phénomènes de stress électriques conduits doit être considérée dès la phase de conception.

1.2. Observation de défaillance des composants électroniques dues aux stress électriques

La complexité et la miniaturisation des systèmes électroniques augmentent indéniablement la défaillance des composants électroniques et diminue ainsi leur niveau de fiabilité. Une des raisons principales est que la robustesse mécanique est devenue moindre, donc la fragilité augmente lorsque la taille est extrêmement réduite. En même temps, la partie électronique/électrique devient plus sensible à cause de la tension de travail plus faible. Par conséquent, un faible niveau de stress électrique de l'ordre d'une dizaine de volts peut provoquer une défaillance voire une destruction du composant comme illustré par la Figure 1-5 [4]. Dans ce cas, la perturbation entraine à son tour une perturbation voire un dysfonctionnement au niveau système. Les stress électriques peuvent être amenés par voie rayonnée ou par voie conduite.

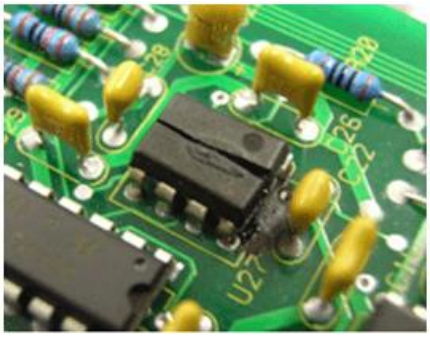


Figure 1-5 : Exemple de fusion de la puce et du package d'un CI en même temps à cause d'un stress électrique [4]

De nos jours, certains phénomènes de stress électrique conduit sont bien connus par la communauté des ingénieurs électroniciens et ceux du génie électrique.

1.2.1. Décharge électrostatique (ESD = « Electrostatic discharge »)

Un événement « décharge électrostatique » ou « ESD » est un transfert rapide de charges électrostatiques entre deux objets placés à des potentiels différents. L'ESD se produit lorsque des objets, y compris les personnes, les meubles, les machines, les circuits intégrés ou les câbles électriques se chargent et se déchargent. Dans des environnements de type maison ou bureau ordinaires, la charge électrostatique porte les objets à un potentiel étonnamment élevé. Une éventuelle décharge électrostatique dans ce cas, peut entrainer un courant transitoire qui peut atteindre une valeur crête très élevée, plusieurs dizaines d'Ampères, associée à des temps de montée de moins d'une nanoseconde et des durées de quelques dizaines à quelques centaines de nanosecondes. La Figure 1-6 rappelle les trois principaux modèles pour réaliser des tests ESD sur des circuits et équipements électroniques [5].

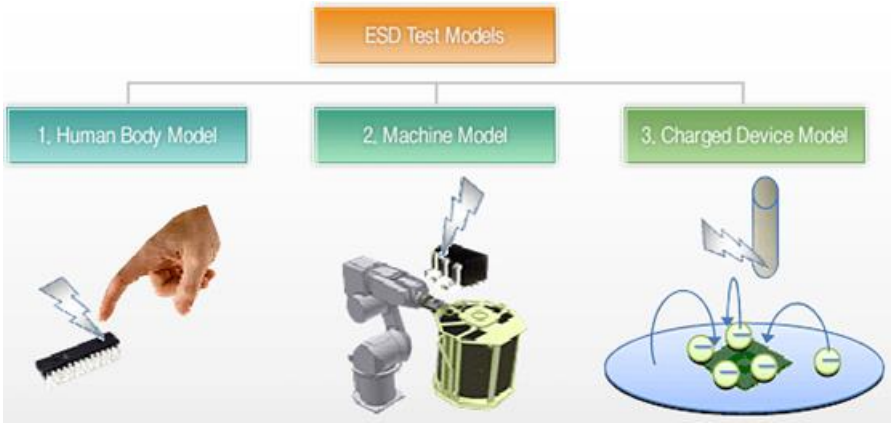


Figure 1-6 : Différents modèles pour les tests d'ESD [5]

Les conséquences possibles pour un dispositif électronique victime de stress ESD sont :

- la destruction d'un composant (en fabrication, en utilisation ou en maintenance),
- des dysfonctionnements qui peuvent se traduire, de manière imprévisible, par des interruptions d'exécution de programmes, des remises à zéro ou des pertes de données,
- des phénomènes analogiques transitoires qui se manifestent, par exemple, par du bruit agressif dans un haut-parleur,

1.2.2. Stress conduits dus aux phénomènes de Comptabilité ElectroMagnétique (CEM) et d'Interférence Électromagnétique (IEM)

Chaque outil ou instrument qui utilise l'électricité génère des champs électromagnétiques. La tension cause le champ électrique, et le courant cause le champ magnétique. Les champs électromagnétiques (EM) génèrent des tensions et des courants dans les objets conducteurs comme les antennes. Mais tous les champs EM ne sont pas nuisibles, ce n'est que lorsque ces tensions et courants induits dépassent un certain niveau critique qu'un dysfonctionnement est susceptible de rendre vulnérable les équipements électroniques. C'est alors que l'on parle de problème de CEM/IEM. Les phénomènes de stress CEM et IEM sont des effets indésirables dans des systèmes électriques véhiculés par rayonnement et/ou conduction électromagnétique. Comme l'illustre la Figure 1-7, ces deux types sont différenciés par la voie empruntée par le champ électromagnétique (EM) agresseur pour perturber sa victime. L'IEM conduite est causée par le contact physique, par opposition à l'IEM rayonnée qui est causée par induction (sans contact physique entre les conducteurs). Leur comportement peut dépendre de la fréquence considérée.

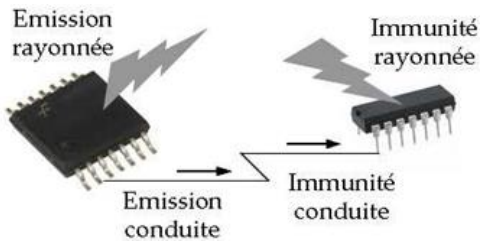


Figure 1-7 : Illustration des phénomènes CEM/IEM

La pire situation vis-à-vis d'un signal EM haute fréquence (HF) est celle où il rend chaque conducteur d'un système équivalent à une antenne. Dans ce cas, ces conducteurs peuvent générer et recueillir des champs EM. Par exemple, on pourra constater sur un circuit imprimé (« Printed Circuit Board = PCB ») contenant des condensateurs et des composants semi-conducteurs soudés sur ses faces, les condensateurs et les pistes cuivrées agissent comme des antennes, générant et recueillant indéniablement des champs EM. Les progrès technologiques avec la réduction considérable de taille des puces et des cartes électroniques qu'ils induisent, rendent les systèmes beaucoup plus sensibles

aux perturbations CEM/IEM. De même, les puces sur ces cartes localisées à des endroits confinés peuvent être victimes d'importants effets CEM/IEM conduits et rayonnés.

1.2.3. Latch-up

Latch-up est une condition dans laquelle un chemin de faible impédance est créé entre une broche d'alimentation et la masse. Cette condition est provoquée par un déclencheur (injection de courant ou de surtension), mais une fois activée, le chemin de faible impédance reste même après que le déclencheur n'est plus présent. Ce chemin de faible impédance peut provoquer des perturbations du système ou des dommages catastrophiques en raison de niveau de courant excessif.

Les circuits CMOS et BiCMOS utilisent des transistors NMOS et PMOS pour créer les fonctions de circuit. Dans la conception de circuit intégré CMOS, les jonctions PN qui forment les transistors NMOS et PMOS peuvent créer des Thyristors PNPN parasites, également appelés redresseurs commandés par silicium (SCR : Silicon-Controlled Rectifier en anglais).

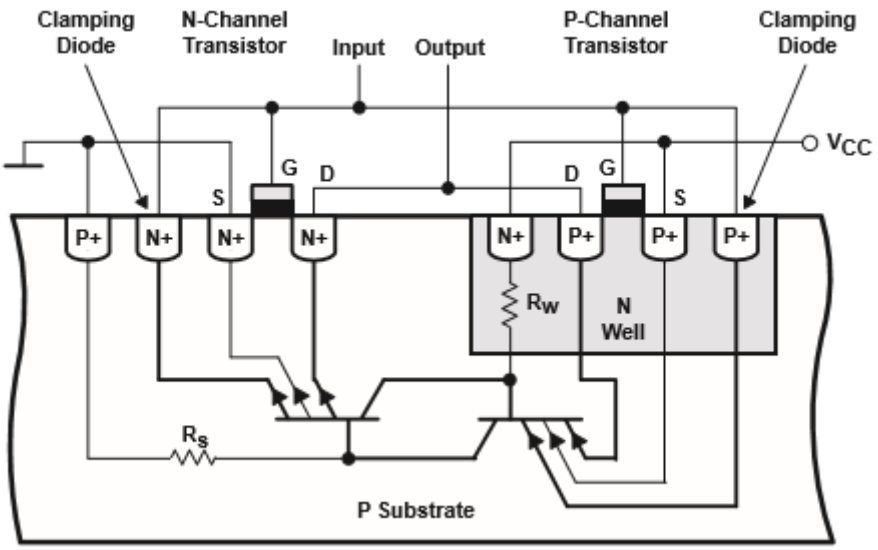


Figure 1-8 : Exemple Latch-up – Transistors parasites dans un circuit CMOS [6]

La Figure 1-8 nous donne un exemple typique de structure latch-up parasite dans un circuit CMOS. Ce circuit représente un amplificateur de tension inverseure simple. Dans cet exemple, les zones dopées en N pour la source et le drain du transistor à canal N et les cathodes des diodes clamping ont été diffusées dans un substrat dopé P. Le substrat est relié au point le plus négatif du circuit, habituellement la connexion à la masse (GND). En fonctionnement normal, les zones N-dopées ont une tension qui est plus positive que la connexion à la masse. De cette manière, ces jonctions PN sont bloquées. Le substrat forme maintenant la base d'un transistor npn parasite, alors que toutes les zones

N-dopées, c'est-à-dire le drain et la source du transistor à canal N et la cathode des diodes clamping, fonctionnent comme des émetteurs. Le collecteur appartenant à ce transistor forme le caisson N dans lequel se trouve le transistor à canal P complémentaire. Ce dernier, avec ses connexions, forme un transistor pnp parasite. Les transistors npn et pnp forment un thyristor, comme le montre la Figure 1-9.

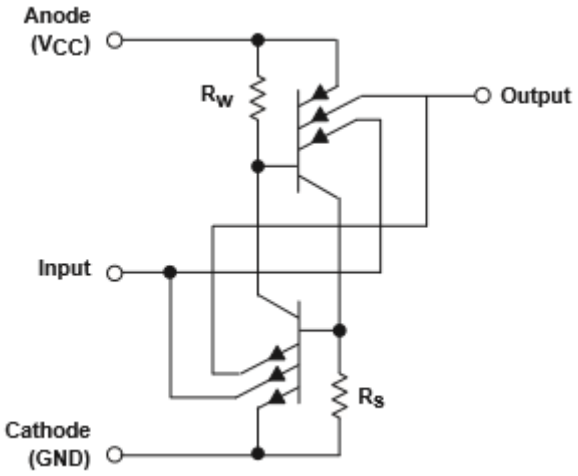


Figure 1-9 : Exemple Latch-up – thyristor parasite [6]

L'anode et la cathode de ce thyristor sont connectées à la tension d'alimentation du circuit intégré, tandis que tous les autres points - entrées et sorties - fonctionnent comme la grille du thyristor. Tant que les tensions sur ces dernières connexions restent plus positives que la connexion à la masse et plus négatives que VCC, un fonctionnement correct se produit. Les diodes de base-émetteur sont bloquées.

De différentes causes peuvent déclencher des Thyristors PNPN et provoquer le Latch-Up : les décharges électrostatiques, CEM/IEM conduite ou rayonnée, surtension et sur-courant.[6]-[9]

1.2.4. Stress de surtension et de sur-courant électrique

Aujourd'hui, les phénomènes ESD (Electro-Static Discharge, Décharges électrostatiques) et EMI (ElectroMagnetic Interferences) sont bien étudiés et des normes pour la fabrication, le test, la classification et les méthodes de protection existent [44]-[51].

En revanche, un autre phénomène, qui est rapporté comme étant une cause de défaillance importante, a été mis en évidence : les Electrical Overstress (EOS). Pour protéger les composants et les systèmes électroniques contre ce type d'agressions, il faut définir au mieux ce qu'est un événement EOS, ses origines et son impact sur les circuits électroniques et les moyens de le reproduire.

La Figure 1-10 nous explique, grâce à des observations microscopiques la différence entre le résultat d'une agression ESD et celui d'agression EOS sur un MESFET [10]. À gauche, est représentée, l'image obtenue avec un Microscope Électronique à Balayage (MEB), de la jonction Drain-Canal d'un transistor MESFET après un stress HBM de ±2kV. À droite, l'image obtenue avec un microscope optique est celle d'un transistor bipolaire endommagé par un stress EOS. Il est notable que par rapport à un stress ESD, qui dégrade très localement un ou quelques composants, l'agression EOS détruit une zone importante du composant. Une bonne compréhension de ce phénomène électrique est évidemment nécessaire pour protéger les composants et les systèmes électroniques contre ce type d'agression.

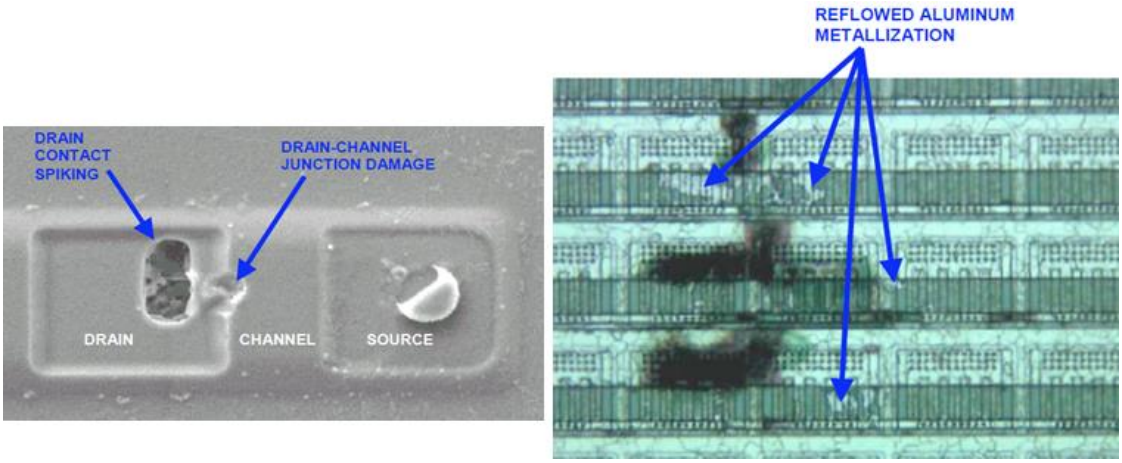


Figure 1-10 : Jonction Drain-Canal d'un MESFET après stress ESD HBM [10] (à gauche) et comportement d'un transistor bipolaire endommagé par EOS [10] (à droite).

1.3. Définitions de l'EOS

Depuis 40 ans, l'EOS est une des causes majeures de défaillance des dispositifs à semi-conducteurs pendant leurs fabrications et leurs utilisations [11]-[16]. Bien qu'il y ait un large consensus dans l'industrie électronique sur le fait que les défaillances de type EOS sont un problème persistant qui doit être résolu et malgré des efforts importants consacrés dans ce domaine, l'EOS est encore responsable de 48% de rejet de clientèle [17].

1.3.1. Première définition

L'étude bibliographique sur les définitions des événements EOS montre qu'il existe peu de publications qui donnent l'exacte définition d'EOS. Beaucoup de papiers ne font souvent références qu'aux effets et aux signatures de ces EOS. Néanmoins, les définitions les plus employées sont les suivantes :

a."Si un composant est endommagé par un fonctionnement au dela de sa zone de fonctionnement normal (Safe Operating Area), ce fonctionnement constitue un événement EOS"[18]
b. "Les EOS sont l'exposition d'un composant à un courant ou une tension au dela de ses spécifications maximales" [19]
c. "EOS (electrical overstress) = fonctionnement au dela des spécifications limites."[16]
d. "Les EOS sont, en général, des stress électriques qui font que pour le composant, un seuil de défaillance est franchi et que le composant stressé ou le système devient défaillantl."[20]

Jusqu'aux années 80, l'EOS a été principalement perçu comme une contrainte électrique dépassant un seuil de défaillance ou comme une tension et / ou courant excessif. Cela correspond bien à la signification littérale d'un « electrical overstress » qui est effectivement "trop de stress électrique". Cependant, les publications se rapportant à un stress électrique dépassant un seuil de défaillance ont diminué depuis les années 1980. Dans le même temps, les publications se rapportant à des tensions et / ou courants excessifs ont augmenté.

Dans les premiers papiers jusqu'aux années 80, l'EOS a été traité comme une surcharge électrique générale non limitée à un certain type de stress ou à un domaine de durée. L'EMI, les impulsions électromagnétiques (EMP), l'ESD et la mauvaise utilisation d'un composant ont tous été inclus dans le domaine EOS [21]. Cela a amené la communauté EOS/ESD à se concentrer principalement sur l'ESD. Dans les années 90, les papiers se référant à l'EMI en tant que cause d'EOS ont disparu. C'est seulement dans les années 2000 que l'EMI a été redécouverte comme une cause d'EOS.

Donc en théorie, l'EOS est une surcharge électrique qui est donc une occurrence de surtension ou sur-courant dans un dispositif électronique. Cette définition englobe donc bien les décharges électrostatiques (ESD), les interférences électromagnétiques (EMI), le latch-up (LU), le transitoire de système foudre, etc. [22][23].

Comme l'indique la Figure 1-11, certains domaines concernant ces EOS sont assez bien couverts aux niveaux moyens et améliorations de la fiabilité comme les ESD et la CEM conduite. En revanche, le domaine des OVS (Over-current et Over-voltage en Anglais) n'a pas actuellement fait l'objet de définition de procédures normalisées d'essais. De façon corollaire, les moyens d'essais ne sont pas précisément définis et la modélisation des composants face à ces types d'agression est peu répandue alors qu'elle s'avère de plus en plus indispensable pour améliorer la fiabilité des composants.

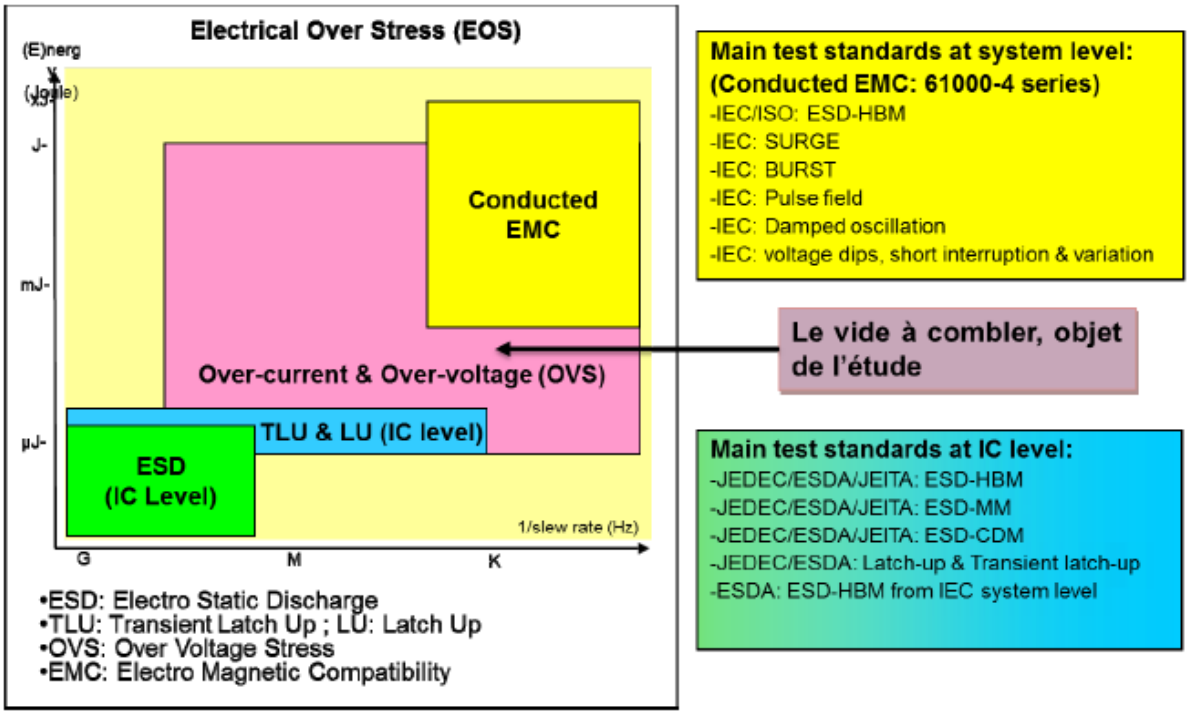


Figure 1-11 : Perspective de situation d'EOS [24]

1.3.2. Définition affinée

Depuis la fin des années 80, la majorité des documents publiés montrent de façon implicite que l'ESD et l'EOS sont de natures différentes [28][29]. La séparation de l'ESD et l'EOS a été probablement aussi causée par les priorités de la communauté de l'EOS/ESD plus encline à solutionner prioritairement le problème des ESD.

En raison de l'intérêt croissant de la communauté EOS en ESD, le premier EOS/ESD Symposium initialement consacrée à l'EOS et à l'ESD a eu lieu en 1979. Dans les années 80, la part des publications de l'ESD a rapidement atteint plus de 80%. En conséquence, le symposium a été axé de plus en plus sur l'ESD et une communauté ESD a commencé à se former. Le travail de cette communauté a été un succès et a abouti à des dispositifs semi-conducteurs ayant des niveaux de robustesse en HBM (Human Body Model) et en CDM (Charged Device Model) considérablement améliorés vers la fin des années 90 par rapport aux années 80.

D'un autre côté, comme la problématique EOS/OVS est restée peu étudiée malgré son importance croissance dans les rejets clients, les grands donneurs d'ordre dans le domaine de l'électronique ont commencé des études préliminaires sur les effets EOS. Il existe déjà quelques documents décrivant des évènements EOS et plus particulièrement des événements qualifiés d'OVS. [10][25][26][27].

Il en résulte qu'actuellement, en pratique, la définition de l'EOS, dans sa forme OVS, est bien séparée de celle des événements ESD. Sur le Tableau 1-1, on voit qu'il existe plusieurs caractéristiques importantes qui distinguent les événements EOS et les événements ESD.

	Événement ESD	**Événement EOS**
Origine	Provoqué par une décharge rapide de la charge électrique accumulée. Une fois que cette charge accumulée est consommée, l'événement ESD ne peut plus se manifester.	Provoquée par des tensions et/ou des courants associés au fonctionnement de l'équipement ou de l'équipement de production d'énergie.
Niveau de tension	Forte	Faible
Durée	Quelques nanosecondes (ns)	Généralement défini comme un événement surtension ou sur-courant avec une durée supérieure à 100 ns jusqu'à quelques 1 ms.
Forme d'ondes	- De forme spécifique - Les formes d'ondes des différents modèles d'événements ESD (MDP, HBM, MM et autres) apparaissent certainement sous des aspects différents, - En général, représenté par un front montant rapide (de quelques ns) et un bord arrière asymptotique d'une durée généralement inférieure à 100 ns.	- Techniquement de forme quelconque en fonction de sa manifestation physique. - Sources souvent imprévisibles et aléatoires.
Périodicité	Non périodique et non répétitif.	Souvent périodique et répétitif.

Tableau 1-1. Comparaison des événements ESD et EOS [15]

Comme indiqué dans le Tableau 1-1, la durée des EOS est plus longue (plus de 100 fois) que celle de l'ESD. Cette durée plus importante entraine un transfert d'énergie vers les circuits victimes beaucoup plus important ; énergie que ces victimes devront évacuer. Ainsi, bien que les mécanismes de défaillance liés à l'ESD et l'EOS soient similaires, les dommages physiques sont généralement beaucoup plus sévères après un événement EOS.

Les effets de l'ESD et de l'EOS sur les victimes peuvent être très différents. Un événement ESD se déclenche avec une quantité fixée de charges. Il commence brutalement, mais une fois que des charges accumulées sont évacuées, il n'y a plus de charges à venir et le dommage est donc limité. Un événement EOS peut lui durer beaucoup plus longtemps car la source de stress ne délivre pas une

charge finie ; même si le courant associé à cette source est plus faible que pour l'ESD, avec le temps, cet effet peut causer des dommages importants.

1.4. Origines des EOS

Avant de discuter les origines des EOS, nous devons rappeler que par définition l'EOS n'est pas une cause mais une conséquence ; différents effets connus peuvent entrainer un événement EOS comme indiqué sur la Figure 1-12.

L'ESD est une cause importante dans la famille des « causes EOS ». Elle peut causer des défaillances dans la phase de fabrication aux niveaux des composants et des cartes et cela dans les différentes étapes du processus y compris les étapes de packaging et d'assemblage [30][31][32][33].

L'EMI peut causer de mauvais fonctionnements des équipements dans leur environnement [34]. Elles peuvent aussi générer de faux signaux qui affectent les équipements et les capteurs. L'impact des EMI peut aussi être rapporté dans l'environnement de fabrication des semi-conducteurs [35].

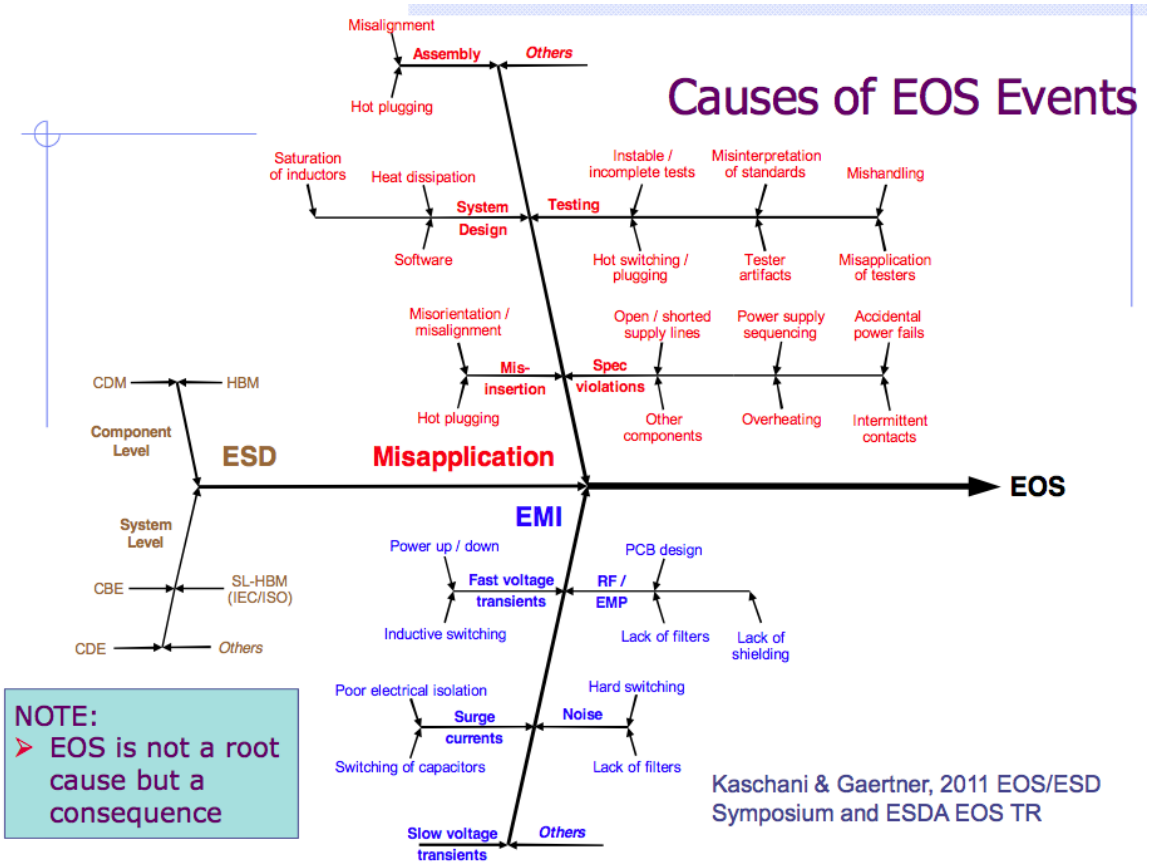


Figure 1-12 : Causes des évènements EOS [23]

Les défaillances basiques dues à des EMI sont :

- **Défaillances fatales dues aux overstress**
  - ESD directe,
  - Très forts signaux induits par des EMI (EOS).
- **Latch-Up**

  · Les tensions induites par l'EMI provoquent la mise en conduction du thyristor parasite présent entre les rails d'alimentation,

  · Retour au fonctionnement normal après une remise en marche,

  · Parfois cause de surchauffe et de défaillance.
- **Injection de faux signaux**

  · Le signal induit est comparable aux signaux fonctionnels,

En effet, l'EMI peut être causée par l'ESD puis l'EMI cause à son tour une ESD secondaire. L'ESD cause des variations de tension et courant qui peuvent générer un champ électromagnétique. Ce champ peut se propager par voie rayonnée ou conduite et induire une tension ou un courant de stress comparable à un stress ESD.

Comme on va le voir les sources d'EOS ne sont pas clairement connues pour la partie OVS. L'EOS/OVS peut être causé par différentes sources qui potentiellement sont infinies en nombre. On peut néanmoins citer plusieurs catégories de sources d'EOS [35] :

- Le secteur (AC 50Hz ou 60Hz),
- Un signal continu DC,
- Du bruit de haute fréquence (EMI),
- Un fer à souder,
- Du bruit sur un signal d'alimentation,
- Des pics dus à des commutations,
- Etc…

Comme la plupart des équipements électroniques demandent à être alimenter à partir du secteur, ce n'est pas surprenant que des perturbations présentes sur le secteur et des résidus du secteur se retrouvent au niveau des outils utilisés pour fabriquer, tester et monter des circuits électroniques. Yan and Gaertner rapportent l'existence de tensions AC allant jusqu'à 2,3V au niveau des outils utilisés pour réaliser des fils de bonding [36][37].

Dans beaucoup de situations, les composants électroniques dans un circuit sont reliés à une masse référentielle (le châssis du système) par le biais des alimentations continues. Comme la résistance de châssis n'est pas nulle, il existe une différence de potentiel entre la masse vue par les composants (le

châssis du système) et la masse « absolue » (la terre). Si les composants reliés à ce châssis entrent en contact avec un objet relié à la terre, cette différence de potentiel peut causer un EOS [38].

Des signaux hautes fréquences peuvent être générés par des signaux transitoires dans des équipements électriques. Plus la puissance mise en jeu sera importante plus les signaux EMI générés seront forts. Si le signal EMI est assez fort, il peut causer un EOS [38].

La pointe d'un fer à souder touchant des composants électroniques peut causer un EOS. Des normes demandent que la pointe d'un fer à souder ne produise pas un signal dépassant une certaine tension (par exemple 2mV pour la norme MIL-STD-2000). Mais dans la pratique ces niveaux sont très difficiles à atteindre dans les environnements de fabrication [39]. Si le fer à souder a une fuite à la masse, la pointe de fer peut atteindre une tension égale jusqu'à la moitié de sa tension d'alimentation. Cette fuite à la masse peut se produire dans la soudure ou dans la prise de courant [40]. Une inversion terre/neutre entraine également une tension excessive sur la pointe du fer.

D'après les exemples cités ci-dessus, quelque soit la source d'EOS, la configuration de masse du circuit est toujours très importante [41][42].

1.5. La susceptibilité EOS

1.5.1. Les différents types de susceptibilité EOS

Selon la définition retenue pour les EOS, il existe deux types d'EOS : la surtension ou le sur-courant. Cependant, les défaillances produites peuvent se trouver sur différents endroits d'un circuit intégré victime et induites par différents mécanismes comme indiqué dans le Tableau 1-2.

	Dommage diélectrique	Dommage de jonction	Fusion de contact
Lieux de la défaillance	Oxyde de grille	Jonction PN	Fil de connexion et interconnexion
Modes de défaillance	Surtension	Sur-courant	Sur-courant
Mécanismes de défaillance	Champ électrique	Chaleur par effet joule	Chaleur par effet joule
Types de Susceptibilité	Dispositif susceptible en tension	Dispositif susceptible à l'énergie	Dispositif susceptible à l'énergie

Tableau 1-2. Résumé des mécanismes d'EOS défaillance

Jusqu'à aujourd'hui, il n'existe pas encore des normes définitives sur les effets EOS/OVS. En revanche pour l'EOS/ESD, on sait qu'il induit des défaillances, soit en raison du claquage diélectrique dû aux tensions excessives pour des dispositifs sensibles à la tension, soit à cause de l'évacuation de chaleur (*thermal runaway*) par effet Joule dû à un courant excessif pour des dispositifs sensibles à l'énergie [43].

1.5.2. Sensibilité EOS à la tension

Une défaillance EOS peut se produire lorsqu'une tension excessive est appliquée sur une couche d'isolation. Une décharge électrostatique appliquée à un composant semi-conducteur peut endommager l'oxyde de grille au niveau d'un transistor MOS si le niveau de tension de claquage du matériau diélectrique est dépassé. Ce transistor MOS est donc susceptible en tension. Il convient de noter qu'ensuite, un courant important puisse apparaitre et que les dommages se poursuivent à cause d'effets thermiques.

1.5.3. Sensibilité EOS à l'énergie

Les défaillances liées à un dépassement de niveau d'énergie sont dues à un événement EOS qui produit des courants importants. Ces courants, associés à une différence de potentiel causent un échauffement du composant ou d'un circuit intégré.

Pour une impulsion d'ESD qui a une durée très courte (en général moins d'une microseconde), le volume du composant concerné est généralement chauffé en état adiabatique (sans conduction de chaleur du matériau). Pour une impulsion EOS, de durée plus longue, l'hypothèse échauffement adiabatique ne pourra pas, en général, être retenue ; des échanges entre le volume concerné par l'EOS et l'environnement doivent être pris en compte.

Pour un composant sensible à l'énergie et au cours de l'échauffement, on peut rencontrer différents phénomènes :

- L'échauffement de métaux ; en particulier l'échauffement de conducteurs en Aluminium dont la température de fusion est relativement basse, environ 660°C, et qui peut provoquer des migrations d'atomes de métaux à la surface et dans le composant. De la même façon, on pourra retrouver ce phénomène avec des fils de bonding réalisés en Or dont la température de fusion est d'environ 1060°C.

- L'échauffement du semi-conducteur qui pourra donner lieu à de la génération thermique de porteurs. Ce phénomène sera sensible s'il se produit dans des semi-conducteurs très peu dopés et sera prépondérant dans des zones de charges d'espaces (i.e. vides de porteurs libres et soumise à un champ électrique fort). Cette augmentation de la concentration en porteurs se traduira par une diminution de résistivité et une augmentation du courant propice à accentuer encore l'impact de l'événement EOS. Il n'est pas possible de dire de façon générale, à quelle température ce phénomène est activé car il dépend des caractéristiques de dopage du composant considéré.

Des phénomènes de migration de dopants ou de fusion du Silicium peuvent en théorie apparaitre mais compte-tenu des propriétés thermiques des matériaux utilisés pour réaliser des composants sur Silicium, ces phénomènes ne peuvent intervenir qu'à des températures très supérieures à celles mises en jeu pour faire apparaitre la fusion de l'Aluminium ou de la génération thermique.

La température de fusion du Silicium est de 1414°C. De même, pour les dopages usuels autour de $10^{17}cm^{-3}$, la vitesse de diffusion du Bore et du Phosphore dans le Silicium est de l'ordre de grandeur de quelques 100pm/s autour de 1000°C. En conséquence pour des stress de quelques ms, la migration de dopants est négligeable.

1.6. Normes

1.6.1. Test d'ESD normalisées

Des tests ESD sont nécessaires pour évaluer la fiabilité et l'état de survie des dispositifs électroniques face aux stress de type ESD. Pour les composants actifs comme les CI ou les transistors, les modèles de test de type HBM et le CDM sont habituellement utilisé pendant la phase de fabrication pour éviter l'endommagement ou la dégradation dans un environnement ESD contrôlé. En revanche, les tests selon la norme IEC 61000-4-2 sont régulièrement utilisée pour le cas de configuration dans un environnement ESD non-contrôlé [44].

1.6.1.1. Le modèle ESD corps humain

Le HBM (« Human Body Model ») est le modèle le plus couramment utilisé pour caractériser la sensibilité d'un dispositif électronique aux dommages dus à des ESD. Le modèle HBM n'est autre qu'une simulation de la décharge qui peut se produire quand un corps humain entre en contact avec un dispositif électronique. La définition du modèle HBM le plus largement utilisé est le modèle d'essai

défini dans la norme militaire américaine MIL-STD-883, méthode 3015.8 [45], qui décrit la Classification de Sensibilité de Décharges Électrostatiques (« Electrostatic Discharge Sensitivity »). Cette méthode établit un circuit électrique équivalent simplifié et les procédures de test nécessaire pour modéliser un événement ESD HBM. Une autre norme, largement utilisée à l'échelle internationale, est la norme JEDEC JS-001 [46]. Pour les deux normes JS-001-2012 et MIL-STD-883H, comme l'indique la Figure 1-13, le corps humain chargé est modélisé par un condensateur de 100pF et une résistance de décharge de 1,5kΩ. Pendant le test, le condensateur préalablement chargé est déchargé à travers la résistance en série avec le dispositif sous test.

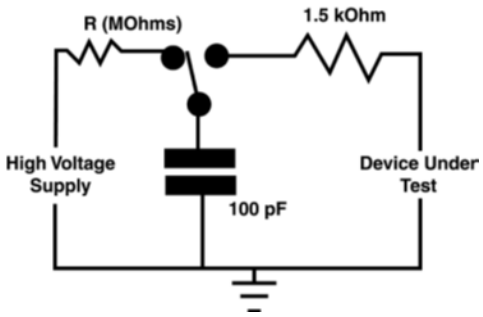


Figure 1-13 : Exemple de modèle HBM [46]

1.6.1.2. Le modèle dispositif chargé

Le CDM (« Charged Device Model ») est le modèle couramment utilisé pour caractériser la sensibilité d'un dispositif électronique aux dommages dus aux ESD. Ce modèle est une alternative au HBM. Les dispositifs sont exposés à une charge à un niveau de tension normalisée, puis testés pour vérifier leur survie. En cas de succès, ils seraient testés au niveau de stress suivant et ainsi de suite, jusqu'à ce qu'on puisse trouver la limite de résistance du dispositif. L'essai CDM est défini sous les normes suggérées par JEDEC sous les références JESD22-C101F [47] et ESDA STM 5.3.1 [48]. La Figure 1-14 représente le schéma du modèle.

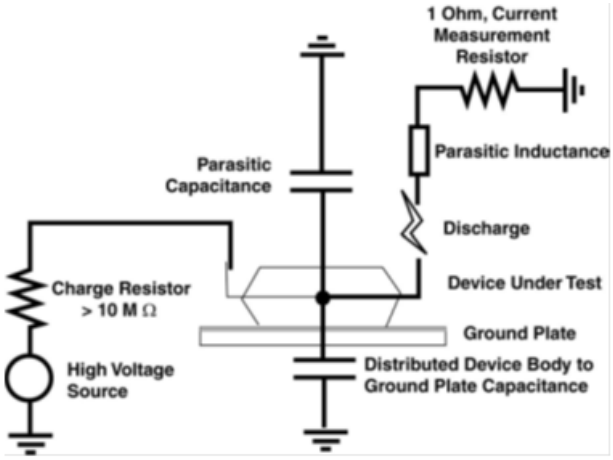


Figure 1-14 : Exemple de modèle de dispositif chargé [48]

1.6.1.3. Le Modèle Machine (MM)

Une décharge de type ESD se différencie en fonction de sa forme d'onde et de son amplitude par rapport à l'événement. Pour le cas du HBM, la décharge peut se produire aussi à partir d'un objet conducteur chargé, tel qu'un outil métallique, ou un équipement automatique. Le Modèle Machine (MM) a été créé pour simuler des événements ESD plus sévères que le HBM. Comme l'explique la Figure 1-15, ce modèle est constitué d'un condensateur de 200pF déchargé directement dans le composant sous test avec considération d'une inductance série sans effet résistif. Cette inductance série est l'élément qui génère la forme d'onde oscillante du MM. L'inductance en série est indirectement définie par les spécifications des dispositifs à tester telles que l'amplitude du courant, le temps de montée/descente et la période de la forme d'onde. Actuellement, des discussions selon le livre blanc du Conseil de l'Industriel, « A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements » [49] sont en cours pour retirer ce modèle des exigences de qualification bien que ce modèle reflète des situations effectives dans le monde réel. Les essais selon le MM sont spécifiés dans les normes JEDEC (JESD22-A115) [50] et ESDA STM5.2 [51]

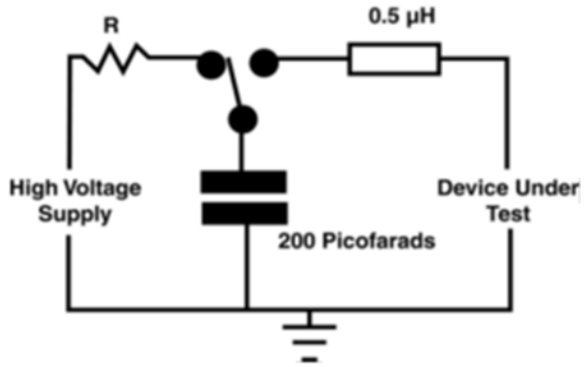


Figure 1-15 : Circuit typique de MM [51]

1.6.2. Test de Latch-Up normalisé

Le seul stress EOS qui est bien normalisé est le Latch-Up. Les Latch-Up stress méthodes avant la fin des années 1980 ont été réalisées sur des bancs de test avec l'utilisation de traceurs de courbe ou d'autres bancs de test.[52] En 1988, une équipe de l'industrie a publié la première norme Latch-Up, JESD17. Cette norme proposait une méthode de caractérisation basée principalement sur des concepts de circuits CMOS numériques. En 1997, l'équipe de JEDEC a proposé une nouvelle norme Latch-Up (JESD78) basée sur JESD17 qui ajoute plus de détails au stress et donne des critères de robustesse pour la première fois. C'est un test obligatoire pour tous les circuits intégrés CMOS.

La norme actuelle Latch-Up, JESD78, stresse les broches classées par type. Ces types sont l'entrée, la sortie, bidirectionnelle (E/S), l'alimentation et la masse. Les broches d'entrée, de sortie et bidirectionnelles, dans la plupart des cas, reçoivent une impulsion de stress de courant. L'alimentation reçoit un stress de surtension, une impulsion de tension. Les largeurs d'impulsion peuvent être choisies parmi une plage de valeurs, mais le plus souvent dans l'industrie, 2 ms à 10 ms sont préférées. Les valeurs typiques de la hauteur d'impulsion de courant est de 100 mA alors que la surtension est de 1,5 x VMAX (en fonctionnement). Les produits nécessitant des horloges ou d'autres signaux de synchronisation peuvent utiliser des vecteurs de test dans un testeur Latch-Up ou un ATE (« Automated Test Equipement » en anglais). La Figure 1-16, la Figure 1-17 et la Figure 1-18 montrent les formes d'onde de contrainte de JESD78.

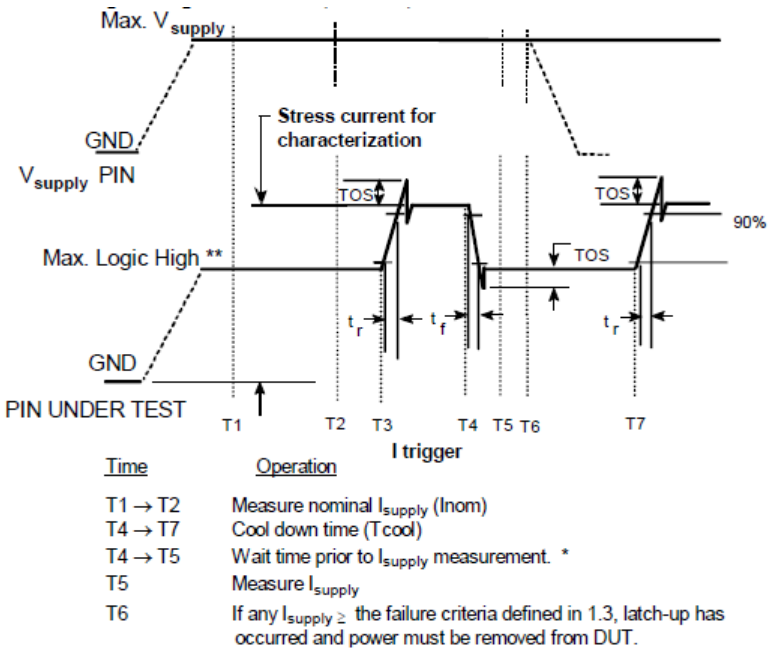
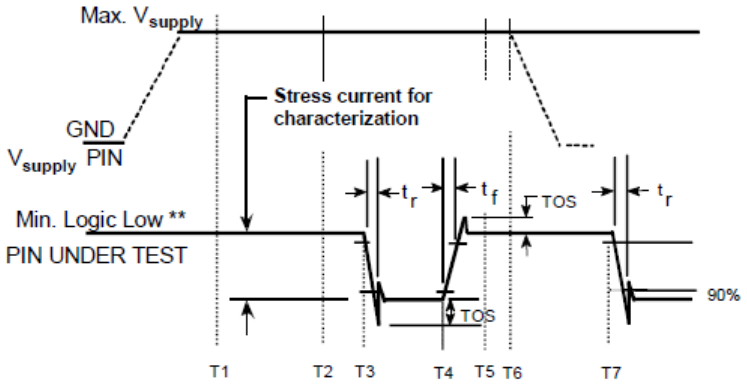
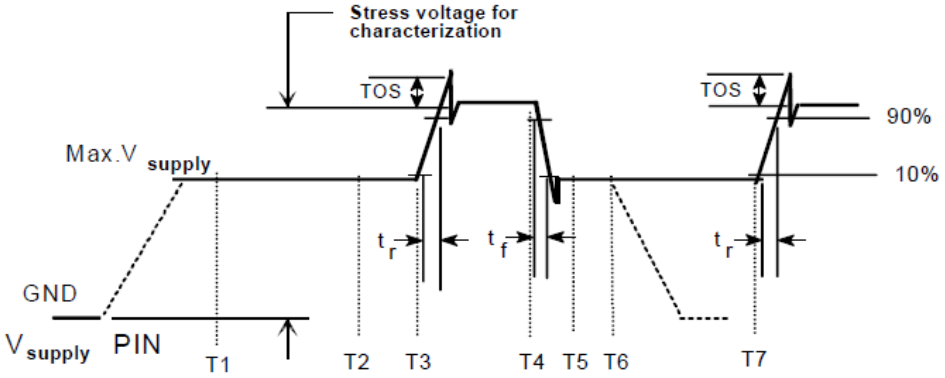


Figure 1-16 : forme d'onde pour le test de courant positif [53]



Time	Operation
T1 → T2	Measure nominal I_{supply} (Inom)
T4 → T7	Cool down time (Tcool)
T4 → T5	Wait time prior to I_{supply} measurement. *
T5	Measure I_{supply}
T6	If any $I_{supply} \geq$ the failure criteria defined in 1.3, latch-up has occurred and power must be removed from DUT.

Figure 1-17 : forme d'onde pour le test de courant négatif [53]



Time	Operation
T1 → T2	Measure nominal I_{supply} (Inom)
T4 → T7	Cool down time (Tcool)
T4 → T5	Wait time prior to I_{supply} measurement. *
T5	Measure I_{supply}
T6	If any $I_{supply} \geq$ the failure criteria defined in 1.3, latch-up has occurred and power must be removed from then on.

NOTE The wait time shall be sufficient to allow for power supply ramp down and stabilization of I_{supply}.

Figure 1-18 : forme d'onde pour le test de surtension sur la broche d'alimentation [53]

1.7. Travaux existants sur les effets des EOS

Comme la problématique EOS est toujours une question ouverte, les recherches continuent toujours à partir de travaux existants. En fait il existe un groupe de travail normatif de l'association EOS/ESD (WG 23.0 – Electrical Overstress (EOS) Best Practices) qui travaille sur la problématique des EOS.

1.7.1. Analyses des phénomènes physiques

1.7.1.1. Claquage diélectrique

Un claquage diélectrique se produit lorsque le champ électrique appliqué à un diélectrique est supérieur à sa rigidité diélectrique. Ce phénomène peut aisément se produire sur l'oxyde de grille d'un transistor à effet de champ. Selon [54], un claquage diélectrique EOS, bien qu'arrivant très vite après l'application du champ électrique, est dépendant du temps et peut être considéré comme un TDDB (« Time-Dependent Dielectric Breakdown »).

Un TDDB est un mécanisme d'injection de charges, dont le processus peut être divisé en 2 étapes – l'étape d'accumulation et l'étape d'évacuation [55].

Pendant l'étape d'accumulation, des charges sont piégées dans les diverses parties de l'oxyde à cause d'un courant circulant dans l'oxyde. Le nombre des charges piégées augmente avec le temps, formant des champs électriques élevés. Ce processus d'accumulation de champ électrique dure jusqu'à ce que l'étape de l'évacuation soit atteinte [55].

Au cours de cette 2ème étape, la somme du champ électrique induit par injection de charge et les champs électriques appliqués au dispositif dépasse le seuil de claquage diélectrique dans certains des points les plus faibles du diélectrique. Ces points commencent à faire apparaitre des courants forts qui chauffent ensuite le diélectrique, ce qui augmente de nouveau le niveau du courant. Cette boucle de réaction positive cause finalement la destruction de l'oxyde. Cette étape d'évacuation se passe dans un très court laps de temps [55].

Il existe deux modèles de base TDDB. D'après [56], une étude à faible champ TDDB a été entreprise pour comprendre clairement quel modèle décrit le mieux un claquage TDDB (modèle E ou modèle 1/E) en fonction des données recueillies sur la défaillance observée. Les résultats montrent que le modèle E présente un ajustement aux données meilleur que le modèle en 1/E, en particulier pour des champs électriques inférieurs à 5MV/cm. Le bon ajustement du modèle E suggère très fortement que c'est le champ, et pas le courant, qui provoque la dégradation en fonction du temps dans le diélectrique [57]. Ce modèle est décrit par l'équation 1-1.

$$\ln(TF)\alpha \frac{\Delta H_0}{k_b T} - \gamma E_{Ox} \qquad (1\text{-}1)$$

Où ΔH_0 est l'enthalpie d'activation du claquage d'oxyde, E_{ox} est le champ électrique dans l'oxyde, k_b est la constante de Boltzmann, et γ est le paramètre d'accélération du champ.

1.7.1.2. Claquage de jonction

Le claquage de jonction se produit lorsqu'un courant excessif augmente la température de jonction et suffit à la détruire par la chaleur. Dans la Figure 1-19 [54], lorsque la température de jonction augmente à cause d'un événement EOS, la résistance de jonction diminue. Simultanément, la jonction devient thermiquement isolée de son environnement, car la conductivité thermique diminue. Cet effet est un mécanisme de contre réaction positive entraînant des dommages à la périphérie de la jonction. Le modèle de Wunsch & Bell, avec sa formule de diffusion thermique donnée par l'équation 1-2, est utilisé couramment pour décrire ce mécanisme de défaillance. Dans ce modèle, le phénomène de claquage de jonction est déterminé à partir de la durée d'impulsion et la densité de puissance appliquées au dispositif [58].

$$\frac{P_f}{A} = \sqrt{\pi K \rho C_p [T_m - T_i] t^{-1/2}} \qquad (1\text{-}2)$$

Où P_f est la puissance de défaillance en W, A est l'aire en cm^2, C_p est la capacité calorifique en J/g.K et ρ est la densité en g/cm^3. K est la conductivité thermique en W/cm.K, t est la durée d'une impulsion carrée, T_m est la température de fusion de la jonction, et T_i est la température initiale.

Toutefois, Mars [54][59] a déterminé que la température crête la plus appropriée n'est pas la température de fusion, mais la température du silicium intrinsèque, qui est typiquement de l'ordre de 180°C à 300°C en fonction des dopages utilisés pour réaliser la jonction. Avec cette modification du modèle Wunsch & Bell, on peut voir qu'une augmentation de la température par rapport à la température ambiante de 60°C à 85°C pourrait souvent avoir des effets mesurables suite à des événements EOS.

La conductivité thermique, comme on le voit dans la Figure 1-19, diminue avec la température ambiante, ce qui peut entraîner une augmentation de température plus élevée à énergie donnée que celle prévue à conductivité thermique constante. En outre, la puissance transmise à la jonction PN est influencée par la résistivité électrique. La relation entre la résistivité et la température pour un semi-conducteur pur est définie par l'équation 1-3 [54] :

$$\rho \ \alpha \ T^{-3/2} e^{\frac{E_G}{kT}} \qquad (1\text{-}3)$$

Où E_G est la bande interdite du semi-conducteur.

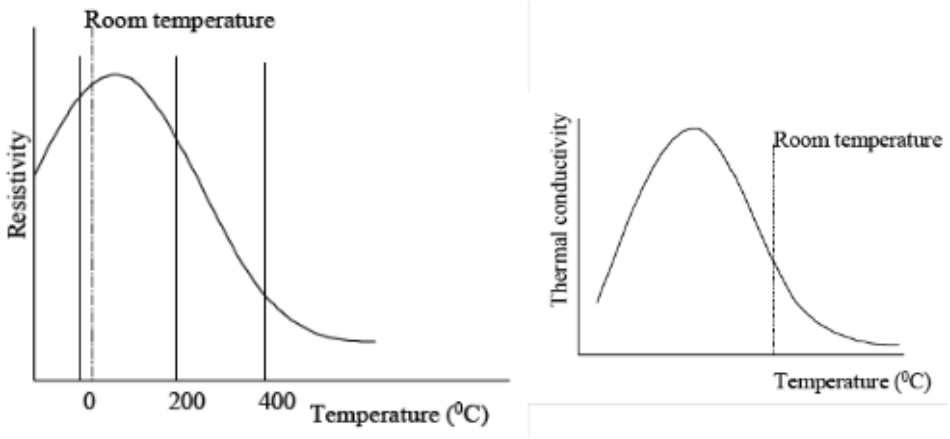


Figure 1-19 : Profil de changement de résistivité et de conductivité thermique du Silicium dope en fonctions de la température [54].

1.7.1.3. Fusion de conducteur métallique

Ce mécanisme de défaillance est entraîné par une surchauffe du conducteur utilisé pour véhiculer le courant au composant, typiquement soit des fils de connexion ou des métallisations. Quand les conducteurs sont chauffés, leur résistance électrique, donnée par l'équation 1-4, augmente en fonction de la température.

$$R = R_0\left[1 + \alpha\left(T - T_0\right)\right] \qquad (1\text{-}4)$$

Avec le coefficient de température de résistance, α, allant de 3,9 × 10^{-3}/°C pour le cuivre et l'aluminium à 3,4 × 10^{-3}/°C pour l'or. En général, cette augmentation de résistance tend à éviter l'emballement thermique (thermal runaway), mais l'augmentation de la résistance du conducteur augmente la puissance à dissiper par effet Joule (I^2R) sans causer une baisse significative du courant.

La densité du courant nécessaire pour induire la fusion d'une métallisation est donnée par l'équation 1-5 :

$$J = \sqrt{\frac{C_V\left(T_m - T_0\right)}{\rho\tau}} \qquad (1\text{-}5)$$

Où C_v est la capacité calorifique, ρ est la résistivité, τ est la durée de l'événement EOS, T_m est la température de fusion du métal et T_0 est la température initiale.

1.7.2. Moyen d'essais EOS

1.7.2.1. Banc de test TLP

Le moyen de test TLP (Transmission Line Pulse) est très largement utilisé dans l'industrie et est un moyen pour étudier les technologies de circuits intégrés et leur comportement dans le domaine courant et temps pour des événements de type décharges électrostatiques (ESD). D. Bradley et al. ont réalisé un éclateur à étincelle à base de TLP, déclenché par un laser, capable de fournir des impulsions de quelques kilovolts en 1969 [60]. Les investigations ESD et EOS à l'aide d'un générateur de TLP ont été introduites d'abord par T. Maloney et N. Khurana en 1985 [61]. Depuis cette date, la technique est devenue un outil indispensable pour le développement de protection ESD des circuits intégrés.

La technique TLP est applicable à la fois au niveau du système ESD, tel que défini par IEC61000-4-2, et au niveau du circuit intégré HBM, tel que défini par la norme ANSI / AESD / JEDEC JS-001-2010 [46]. Une des utilisations préférentielles du TLP est l'obtention de la courbe Courant versus Tension (I-V) dont chaque point est obtenu à partir d'une impulsion qui reflète les caractéristiques des formes d'onde utilisées pour l'ESD : temps de montée de l'ordre de la nanoseconde et durée d'impulsion égale à 100 ns. La durée d'impulsion à 100 ns et les niveaux de courant jusqu'à 40A utilisé dans TLP correspondent étroitement aux durées d'impulsion et aux courants qui se produisent dans les événements ESD.

La technique TLP est basée sur la charge d'une ligne de transmission à une tension prédéterminée, et sa décharge dans un dispositif sous test (DUT : Device Under Test). La décharge du câble émule un événement de type décharge électrostatique, mais en utilisant la réflectométrie dans le domaine temporel (TDR : Time Domain Reflectometry), la variation de l'impédance du DUT peut être surveillée en fonction du temps.

Le premier système TLP commercial a été développé par Barth Electronics dans les années 1990. Depuis, d'autres systèmes commerciaux ont été développés (par exemple, par Grundtech, ThermoScientific, ESDEMC Tech, Instruments Power impulsion haute, Hanwa).



Figure 1-20 : Banc d'essai TLP [62]

Un sous-ensemble de TLP, VF-TLP (Very-Fast Transmission-Line Pulsing), a été récemment introduit avec une meilleure résolution et une bande passante permettant l'analyse des événements ESD très courts tels que le CDM (Charged Device Model). Conçu par des universitaires (Université de l'Illinois) et commercialisé par Barth Electronique, le VF-TLP est devenu un outil important d'analyse des événements ESD appliqués à des circuits semi-conducteurs modernes à grande vitesse.

1.7.2.2. Banc de test automatisé (ATE)

Le banc ATE (« Automated Test Equipment » en anglais) est un appareil qui effectue des tests sur un dispositif sous test (DUT : Device Under Test en anglais) ou sur une unité sous test (UUT : Unit Under Test en anglais) en utilisant l'automatisation pour effectuer rapidement des mesures et évaluer les résultats des tests. Un ATE peut être un multimètre numérique simple, contrôlé par ordinateur, ou un système plus complexe, contenant des dizaines d'instruments de test complexes (équipement de test électronique, réel ou simulé), capable de tester automatiquement et de diagnostiquer des défauts sur des composants packagés ou sur des wafers en allant des circuits intégrés classiques aux SoC (système-on-Chip en anglais).



Figure 1-21 : Photo d'un ATE [63]

1.7.2.3. Corrélation entre EOS et surtension électriques

Actuellement, il n'existe pas de méthode de test EOS standardisée. Chaque entreprise développe sa propre technique de test EOS par rapport à ses produits (composants électroniques). Par exemple, NXP Semiconductors a défini une méthode de test nommé OVS (« Over Voltage Stress ») [17]. Cette méthode permet de reproduire le phénomène EOS et classifier les niveaux de robustesse. Mais cette définition reste spécifique aux besoins propres et adaptée aux moyens de test internes de NXP.

1.8. Bilan des travaux existants et conclusion

En conclusion de cette synthèse bibliographique, plusieurs techniques de test et de modélisation des stress conduits de type ESD sont actuellement disponibles dans la littérature. On distingue par exemple des modèles bien connus comme HBM, CDM et MM qui sont actuellement très populaires pour les concepteurs et fabricants des composants électroniques. Cependant, un des inconvénients des techniques de tests ESD existants sont la considération d'une certaine forme d'onde ne semble pas suffisante pour prédire l'ensemble des stress conduits. De plus, les techniques de test ESD sont généralement de type destructif et limitent ainsi l'intérêt de leur utilisation dans la phase de fabrication en masse des composants ou des dispositifs électroniques. D'autres techniques de stress conduits ont été classifiées dans les phénomènes CEM/IEM.

Mais très peu d'études étaient disponibles fin 2011 pour la caractérisation et encore moins en modélisation des phénomènes EOS. C'est la raison pour laquelle que le projet SESAMES a été proposé au programme national FUI 11. L'objectif principal de ce projet c'est d'étudier le mécanisme des phénomènes électriques et physiques causés par les EOS dans des composants électroniques comme les diodes Zener et les CI complexes. La présente thèse est destinée à alimenter ce projet en s'intéressant au développement d'un banc de test EOS avec une possibilité de générer des formes d'ondes arbitraires et ensuite établir un modèle prédictif de défaillance des composants victimes des EOS. Le modèle prédictif sera établi en fonction de la réponse du DUT placé dans une configuration de plate-forme de test EOS. Le chapitre suivant de ce mémoire est focalisé sur le développement du banc de test EOS mis au point et réalisé durant cette thèse. Des résultats innovants seront présentés illustrant les dégradations apparues dans les DUTs. Le chapitre 3 vient compléter les résultats du chapitre 2 pour l'analyse de défaillance avec des scans microscopiques. Enfin, la méthodologie d'extraction d'un modèle prédictif de fiabilité des composants durant et après EOS seront examinés dans le chapitre 4.

Chapitre 2 : Tests de caractérisation EOS des composants électroniques

Résumé du Chapitre 2

Pour comprendre le mécanisme de dégradation des composants électroniques durant et après avoir subi des EOS pulsés, un banc de test a été développé à l'IRSEEM. Le présent chapitre décrit le fonctionnement de cette plate-forme de test EOS. D'abord, la technique de génération des signaux représentant les EOS sera introduite. Ensuite, pour différentes formes d'ondes, les résultats expérimentaux des tests seront présentés et commentés. Pour répondre aux besoins actuels des partenaires industriels du projet SESAMES [24], deux différents dispositifs électroniques seront testés et étudiés dans ce chapitre. Il s'agit de diodes Zener et de circuits intégrés CMOS TDA8007. Enfin, des hypothèses seront formulées sur les raisons des dégradations subies par ces composants lors des stress EOS.

2.1. Introduction

Dans le cadre du projet SESAMES, les partenaires industriels, qui ont de forts besoins en compréhension des phénomènes EOS susceptibles de dégrader voire de détruire certains composants électroniques, ont proposé cinq véhicules de test. Parmi ces composants retenus pour étude dans le projet SESAMES, l'IRSEEM a conduit une recherche sur la robustesse des composants suivants durant et après agression de type EOS :

- La diode Zener BZX84B6V8 utilisée pour application automobile,
- Et le Circuit Intégré CMOS TDA8007 utilisé dans les terminaux de paiement.

Dans le présent chapitre, sont présentés les résultats des tests EOS effectués sur deux types de composants électroniques stressés en EOS en utilisant la plate-forme de test développée pendant cette thèse. Pour ces tests, la procédure retenue est constituée de trois étapes :

- Étape 1 : Caractérisation du composant avant stress en relevant sa caractéristique statique I(V). Cette mesure permet d'établir une référence sur le comportement électrique normal du composant à tester, supposé sain avant le stress.
- Étape 2 : Stress du composant en surveillant, durant le stress, sa réponse en courant et en tension. Cette surveillance permet de voir au cours du stress si des modifications de comportement du composant apparaissent ou non.

- Étape 3 : Mesure à nouveau de la caractéristique I(V) du composant après le stress. Cette étape permet de comprendre la signature EOS au niveau du composant victime de stress. La comparaison des caractéristiques I(V) avant et après stress permet d'évaluer les dégradations subies par le composant sous test.

2.2. Banc de test EOS IRSEEM

2.2.1. Organisation générale

Le banc de test EOS développé à l'IRSEEM, représenté sur la Figure 2-1 est un banc semi-automatisé ; tous les appareils de mesures sont commandés par un PC et les mesures brutes sont enregistrées dans ce même PC mais les résultats sont traités dans des programmes annexes et les tests se déroulent sans que l'état du composant sous test ne soit pris en compte à l'inverse d'un ATE qui peut arrêter le test en cas de défaillance du DUT.

Les formes d'ondes qui permettent de stresser le DUT sont générées par un générateur de signaux arbitraires qui reçoit ses informations à partir du PC. Potentiellement, toutes les formes d'ondes sont réalisables et tous leurs paramètres peuvent être ajustés dans la limite des possibilités du générateur arbitraire (fréquence maximale, temps de montée minimum et écart minimum entre 2 points de la forme d'onde).

Dans la pratique pour les essais SESAMES, les trois formes d'ondes sont :

- Une impulsion carrée réglable en amplitude, durée, temps de montée et de descente,
- Une sinusoïde amortie réglable en amplitude, fréquence et amortissement
- Une onde double-exponentielle réglable en amplitude. Cette onde ressemble au pulse 2a.

Ces ondes peuvent être générées en mono-coup ou répétées en salve.

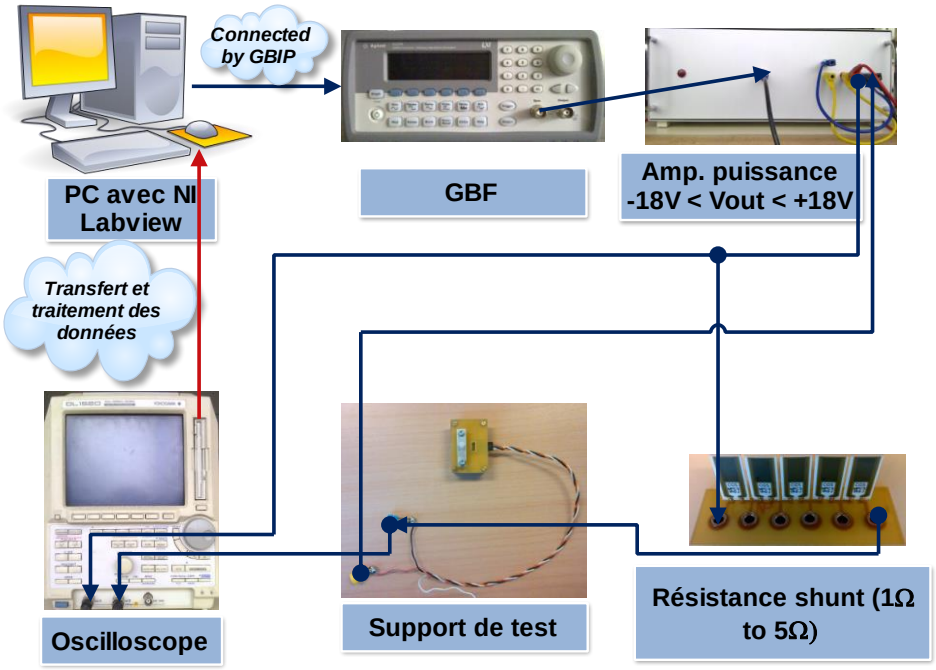


Figure 2-1 : Synoptique du banc de test EOS développé.

Les signaux délivrés par le générateur arbitraire sont ensuite amplifiés par un amplificateur de puissance afin de stresser le DUT avec une tension et un courant suffisants. Cet amplificateur est décrit dans le paragraphe suivant.

Le signal de sortie de l'amplificateur noté V_{stim} est appliqué au DUT à travers une résistance de shunt notée Rs. Cette résistance permet de limiter la valeur maximale du courant vu par le DUT et de mesurer le courant qui traverse ce DUT. Le schéma correspondant est donné sur la Figure 2-2.

La tension V1 égale au stress généré et la tension V2 égale au stress vu par le DUT sont enregistrées à l'aide d'un oscilloscope et transférées au PC pour une exploitation ultérieure. Le courant I_{Stress} qui traverse le DUT est donné par l'équation 2-1 :

$$I_{Stress} = (V1-V2)/Rs \qquad (2\text{-}1)$$

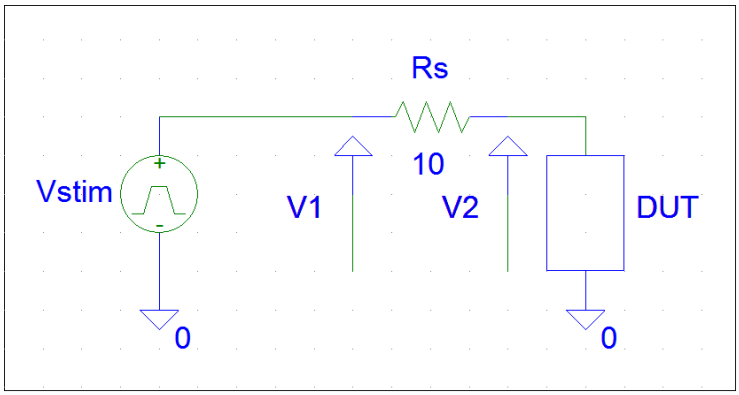


Figure 2-2 : Application du stress EOS au DUT.

2.2.2. L'amplification de puissance

Le rôle de l'amplificateur de puissance est d'amplifier le signal délivré par le générateur arbitraire aussi fidèlement que possible et les caractéristiques essentielles pour cet amplificateur sont sa linéarité, sa bande passante et son slew-rate en particulier si l'on souhaite stresser le DUT avec des signaux rapides. Néanmoins, il ne faut pas oublier que systématiquement le DUT sera stressé, dans les essais de reproduction d'événement EOS, avec des signaux non répétitifs et donc que l'amplificateur devra être capable de passer le continu.

Cette nécessité pour l'amplificateur de passer le continu est illustrée sur les figures Figure 2-3 à Figure 2-6. La Figure 2-3 représente deux amplificateurs alimentant deux DUT R1 et R4. R4 est alimenté par un amplificateur passant le continu et R1 par un amplificateur ne passant pas le continu à cause de la capacité de liaison C1.

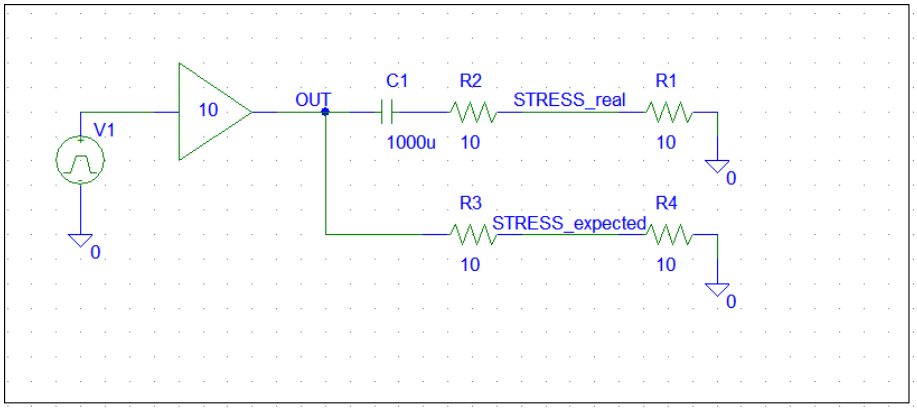


Figure 2-3 : Amplificateur AC versus amplificateur DC.

Les tensions de stress correspondantes sont données sur la Figure 2-4. Dans les deux cas, le signal délivré par le générateur, une impulsion carrée positive de 10ms, est identique.

En revanche, on voit que l'amplificateur DC passant le continu délivre effectivement cette forme d'onde à R4 comme en atteste la forme de la trace V(STRESS_expected) et que l'amplificateur AC ne passant pas le continu modifie cette forme d'onde délivrée à R4 comme en atteste la forme de la trace V(STRESS_real).

Il est donc impératif qu'en on veut stresser un DUT en EOS d'utiliser un amplificateur de puissance passant le continu en particulier quand il s'agit d'exciter un mode de défaillance particulier sur une partie d'un circuit.

Pour illustrer encore plus avant cette nécessité, la Figure 2-5 montre une impulsion carrée qui stresse deux diodes soit avec un amplificateur DC (D1-D2) soit avec un amplificateur AC (D3-D4). Ces paires de diodes représentent les protections ESD que l'on trouve habituellement dans les circuits intégrés pour protéger les grilles de transistors MOS.

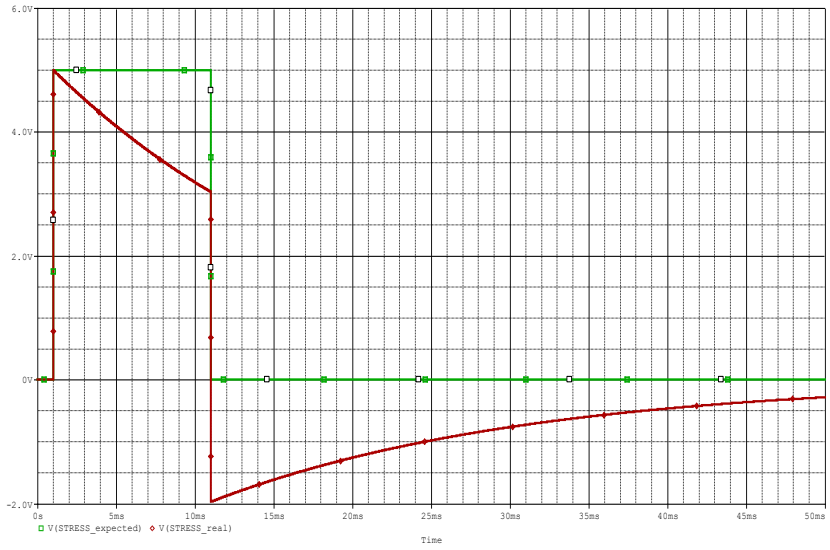


Figure 2-4 : Amplificateur AC versus amplificateur DC-Formes d'ondes.

Avec une impulsion carrée positive comme celle délivrée par le générateur V1, on s'attend à solliciter uniquement les diodes D2 et D4.

Pour le chemin couplé en continu, c'est effectivement le cas car le courant dans D1 reste nul pendant le stress. En revanche, pour le chemin non couplé en continu à cause de C1, la diode D3 conduit ; ce qui n'était pas l'objectif du stress.

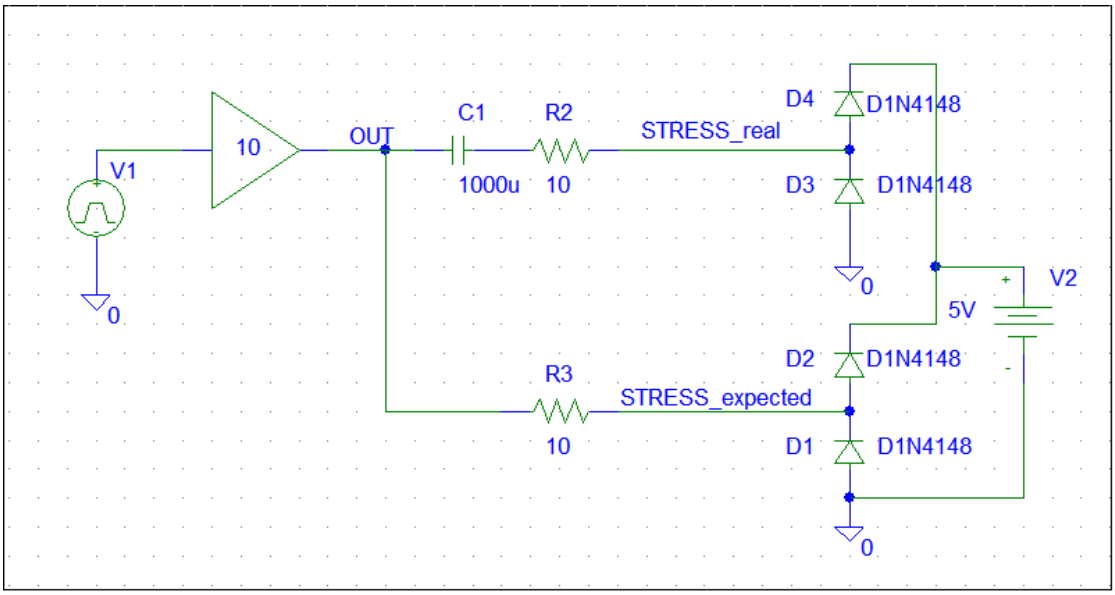


Figure 2-5 : Amplificateur AC versus amplificateur DC-Protections ESD.



Figure 2-6 : Amplificateur AC versus amplificateur DC-Protections ESD-Courants.

Il est donc impératif d'utiliser un amplificateur couplé en continu pour faire des stress EOS. En conséquence, un amplificateur de ce type a été conçu et réalisé à l'IRSEEM pour les besoins du projet SESAMES et son schéma est donné sur la Figure 2-7.

Ses caractéristiques principales sont :

- Bande passante : DC-10MHz
- Tension de sortie maximale : +/- 20V
- Courant de sortie maximal : +/- 5A
- Slew-rate : 150V/µs
- Impédance d'entrée : 10kΩ
- Impédance de sortie : 0.2Ω

Sa structure entièrement symétrique a permis d'avoir un comportement identique sur les fronts de montée et de descente des impulsions, le choix des transistors, à grande fréquence de transition, a permis d'obtenir la bande passante et le slew-rate a été atteint en jouant sur les courants de polarisation.

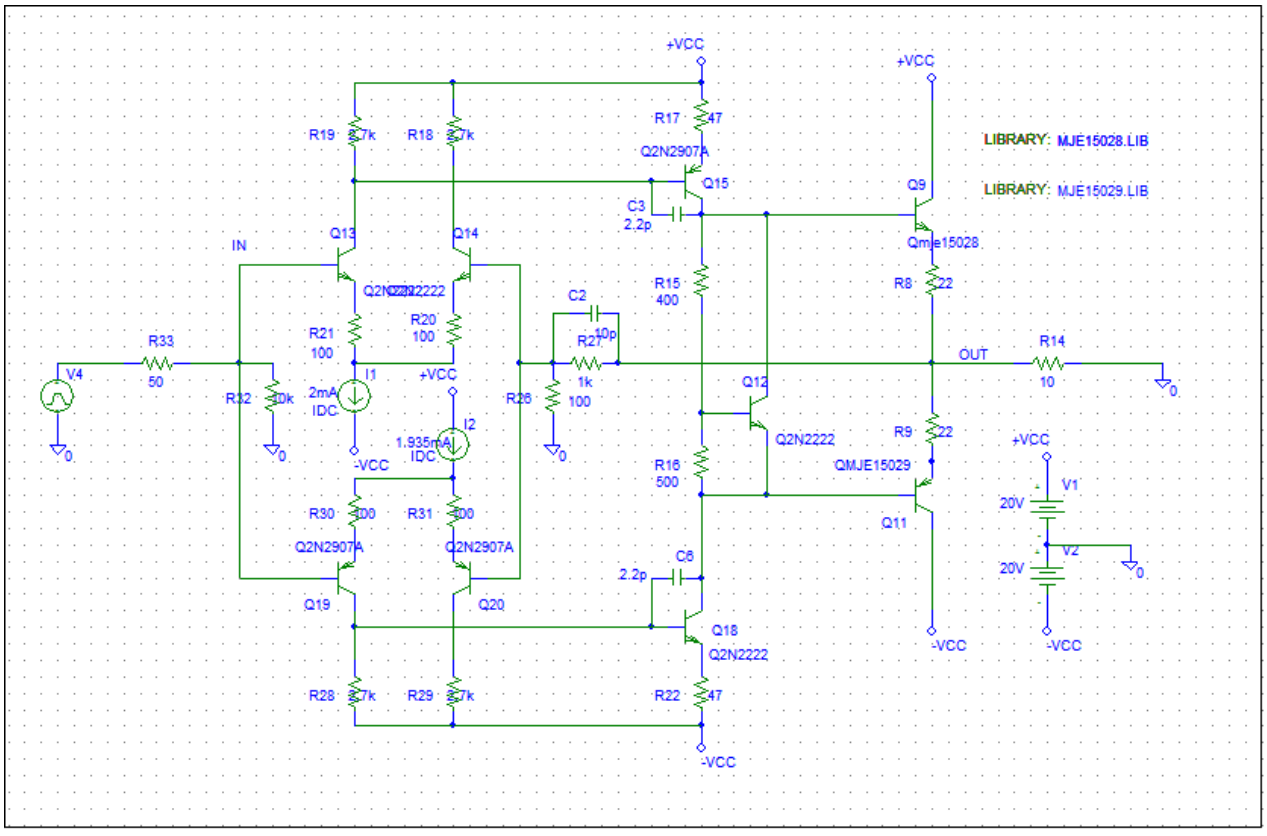


Figure 2-7 : Amplificateur IRSEEM pour stress EOS.

À noter que les signaux représentatifs de l'EOS de notre plate-forme sont limités uniquement à +/-18V relativement à la puissance de l'amplificateur. Les composants à tester durant la période de cette thèse ont ainsi été retenus car leur tension de service nominale. On rappelle que la diode et le CI présente

des tensions de fonctionnement respectivement de 6.8V et 5V. Ces deux composants seront testés en EOS en utilisant les paramètres suivants :

- L'amplitude de la tension de stress,
- Le niveau du courant de stress qui pourra être contrôlé avec la résistance R_s,
- La durée du stress et son éventuelle répétition,
- Et la forme d'onde de la tension de stress (carré, double-exponentielle et sinusoïde amortie).

Les résultats présentés dans ce chapitre ont été choisis pour permettre d'illustrer au mieux la méthodologie établie pour nos tests EOS et les comportements électriques observés pendant ces stress. Pour les deux types de composants, l'approche est la même :

- Recherche d'un jeu de paramètres du stress (l'amplitude de la tension de stress, la durée du stress et la résistance de shunt limitant le courant maximum dans le composant) rendant le composant sensible au stress avec la forme d'onde carrée,
- Modification des paramètres du stress, toujours avec une onde carrée, autour du point trouvé à l'étape précédente pour trouver la frontière entre un composant non dégradé et un composant dégradé par le stress,
- Utilisation des résultats précédents pour stresser le composant avec les deux autres formes d'onde.

Durant les campagnes d'essais, plusieurs dizaines de composants de chaque type ont été testés et caractérisés avant, pendant et après stress avec des paramètres de traçabilité. Les résultats constituent une base de données quantitative faisant l'objet de l'analyse post-expérimentale. Les résultats apportent des informations essentielles pour comprendre les mécanismes électriques et physiques sous-jacents aux dégradations constatées dans ces composants victimes des EOS.

2.3. Caractérisation EOS de la diode Zener BZX84-B6V8

2.3.1. Description de la DUT

Il s'agit d'une diode de régulation de tension à faible puissance encapsulée dans un boitier plastique SOT23 SMD. Cette diode dont le schéma représentatif est donné par la Figure 2-8 est désignée avec la référence : Diode BZX84-B6V8. Pour cette diode, la broche 1 est l'anode et la broche 3 est la cathode.

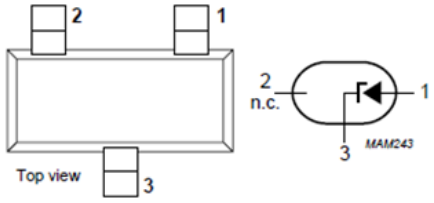


Figure 2-8 : Diode BZX84-B6V8 [64]

Les caractéristiques principales de cette diode sont :

- La puissance maximale dissipée en régime permanent à 25°C : 250mW,
- La tolérance de la tension Zener : 2%,
- La tension nominale de fonctionnement : V_z=6.8V,
- La puissance crête non-répétitive maximale en inverse pendant 100µs : 40W.

2.3.2. Simulation sous Pspice avant de test

Dans un premier temps, la diode Zener a été simulée sous Pspice pour avoir un aperçu préliminaire sur la caractéristique normale. Le modèle comportemental SPICE (voir Annexe 1) fourni par le fabricant est utilisé dans le logiciel Pspice. Un balayage de la tension inverse DC de 0V à 7V permet reproduite la caractéristique I(V). Le coude de la courbe de caractéristique I(V) est localisé à partir de 6,6V.

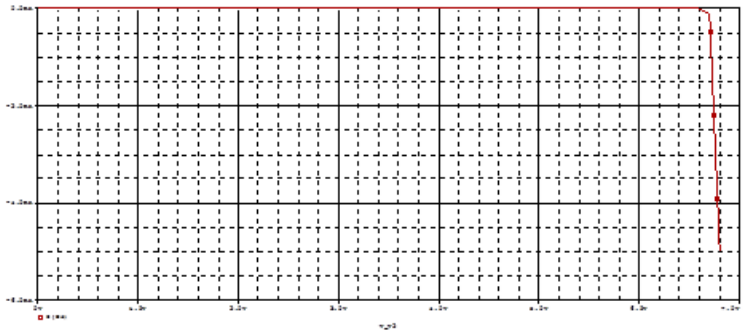


Figure 2-9. Simulation de la tension de coude de la diode BZX84-B6V8

Ensuite, un comportement de tension stabilisée est apparu autour de 6,7V comme illustré par la Figure 2-9. Une analyse de zone de tension entre 0V et 6V comme indiqué par la Figure 2-10, permet d'évaluer le courant de fuite inverse qui est de l'ordre de quelques dixièmes de nA.

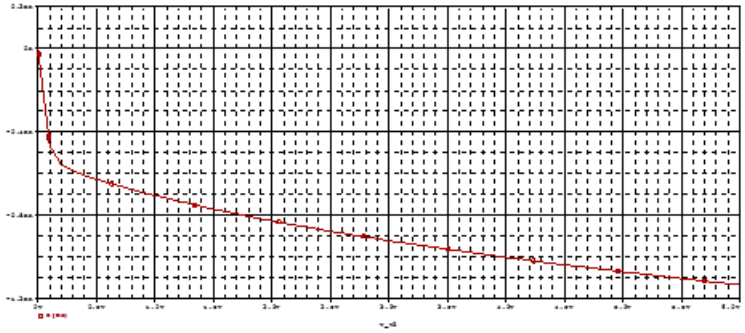


Figure 2-10. Simulation de courant de fuite de la diode BZX84B6V8

Une analyse paramétrique du modèle SPICE a été réalisée pour identifier à quelles valeurs des paramètres du modèle la caractéristique I-V est la plus sensible. Les résultats correspondants donnés par les figures Figure 2-11 (pour ISR), Figure 2-12 (pour RS), Figure 2-13 (pour BV), Figure 2-14 (pour IBV) et Figure 2-15 (pour VJ) montrent que la valeur R_S qui représente la résistance parasite de la jonction de la diode a une influence notable quand elle varie de 0 à 0,1. Dans cette gamme de valeurs, le courant inverse devient environ 8 fois plus grand.

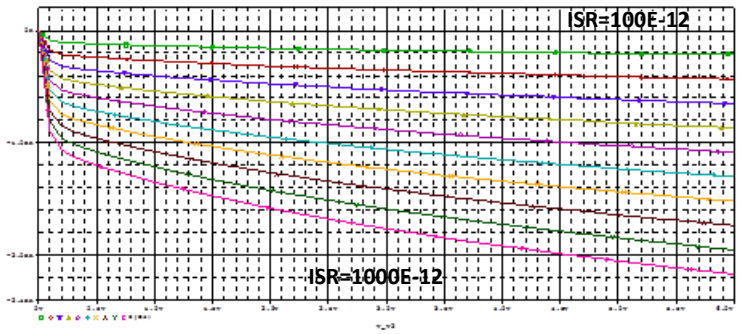


Figure 2-11. Balayage de paramètre ISR dans le modèle

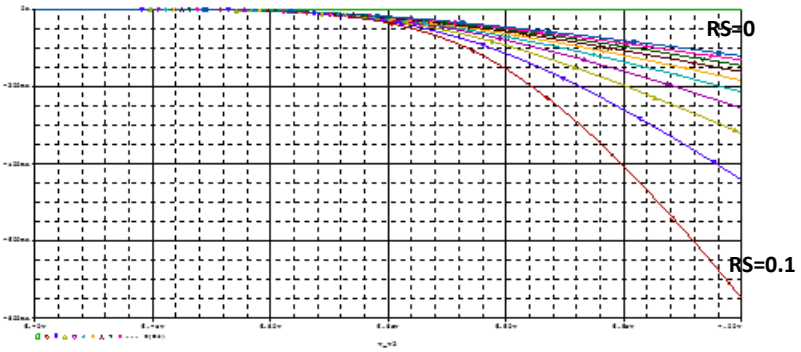


Figure 2-12. Balayage de paramètre RS dans le modèle

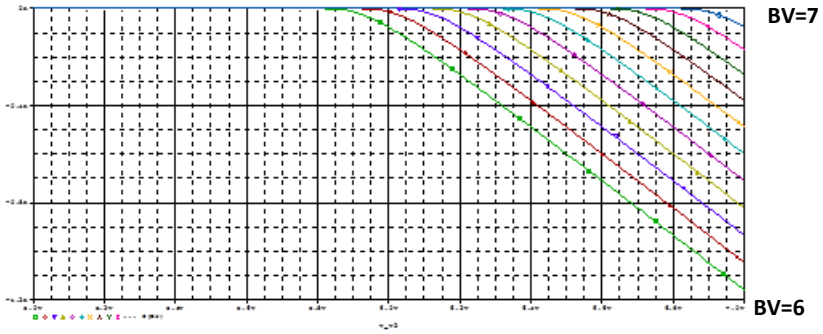


Figure 2-13. Balayage de paramètre BV dans le modèle

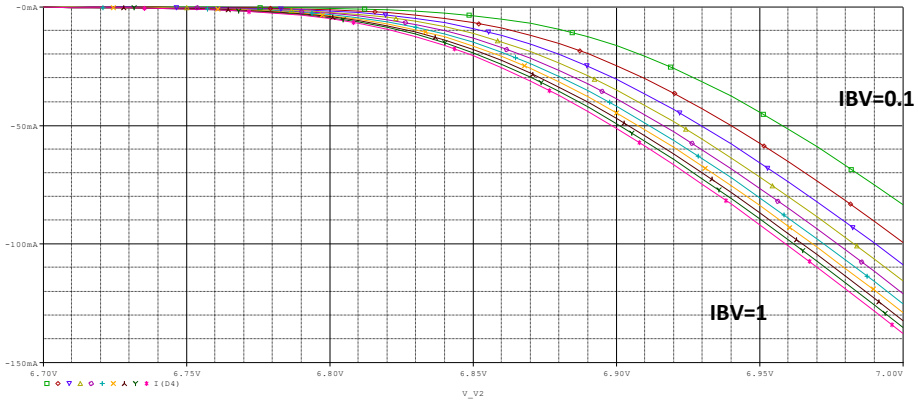


Figure 2-14. Balayage de paramètre IBV dans le modèle

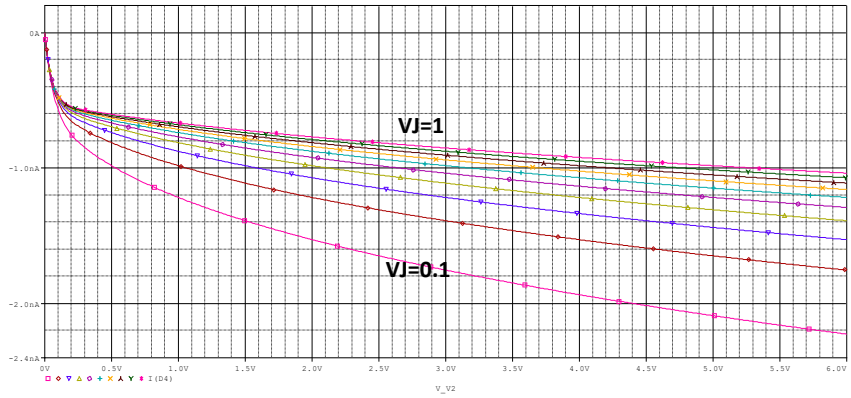


Figure 2-15. Balayage de paramètre VJ dans le modèle

2.3.3. Caractérisation de la DUT avant stress

Une caractérisation I(V) de la diode avant stress a été effectuée en effectuant une comparaison entre simulations SPICE et le résultat avec l'analyseur automatique. Cette manipulation s'est révélée infructueuse à cause d'un courant de fuite du dispositif de mesure trop important, environ 0.5µA comme décrit par la Figure 2-16. Pour contourner cette difficulté et faute de nano-ampèremètre, le banc de test « faible courant », représenté sur la Figure 2-17 a été utilisé. Ce dispositif utilise deux

voltmètres d'impédance interne R_i=10MΩ et la caractéristique statique de la diode est déduite des trois équations suivantes : $V_D=V_1-V_2$, $I_D=V_D/R_{eq}$, $R_{eq}=R//Ri$.

La valeur de résistance en parallèle est de 10MΩ pour les très faibles valeurs de courant de saturation en inverse. La caractéristique relevée est tracée dans la Figure 2-18. A la tension de 4V, le courant inverse est de 1.5nA, ce qui confirme la valeur de 1nA obtenue avec le modèle SPICE visible sur la Figure 2-10.

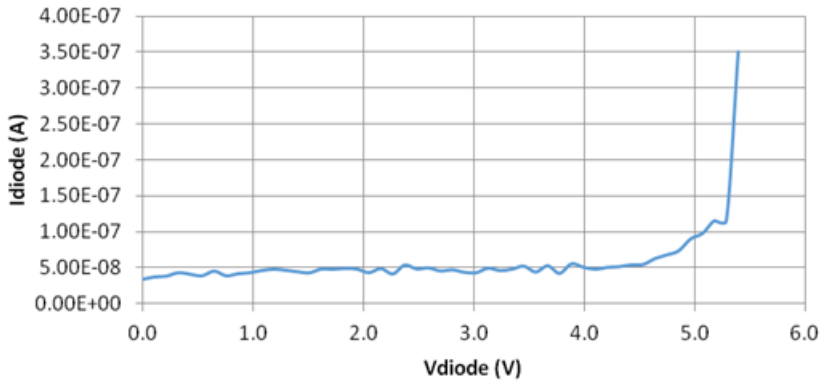


Figure 2-16. Caractéristique I(V) statique de la diode Zener avant stress obtenue par analyseur DC

Une caractérisation manuelle de la diode sous test a ensuite été considérée en utilisant la configuration de la Figure 2-17. Dans ce montage, le signal de stress pourra être visualisé grâce à l'appareil (V_1). Le voltmètre (V_2) permet de visualiser le courant du I_d.

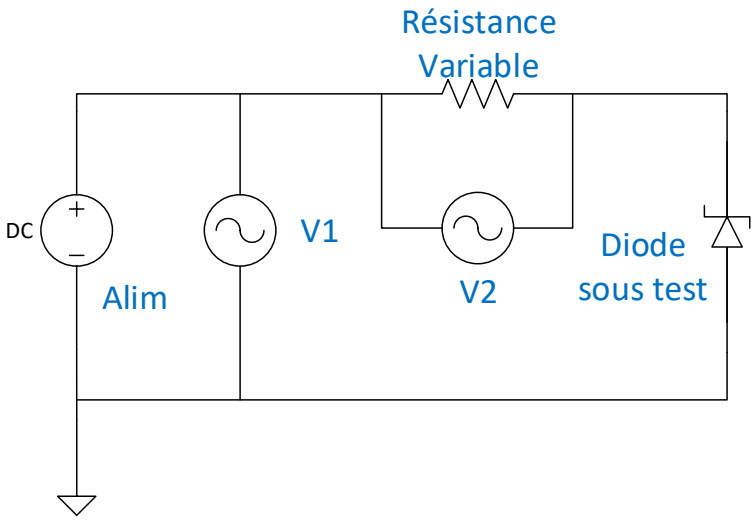


Figure 2-17. Schéma de caractérisation manuelle de la diode Zener

Le résultat I(V) est indiqué par la Figure 2-18. Il est à noter que la diode avant stress présente un courant I_d d'intensité inférieure à 10nA pour V_d inférieure à 4,5V.

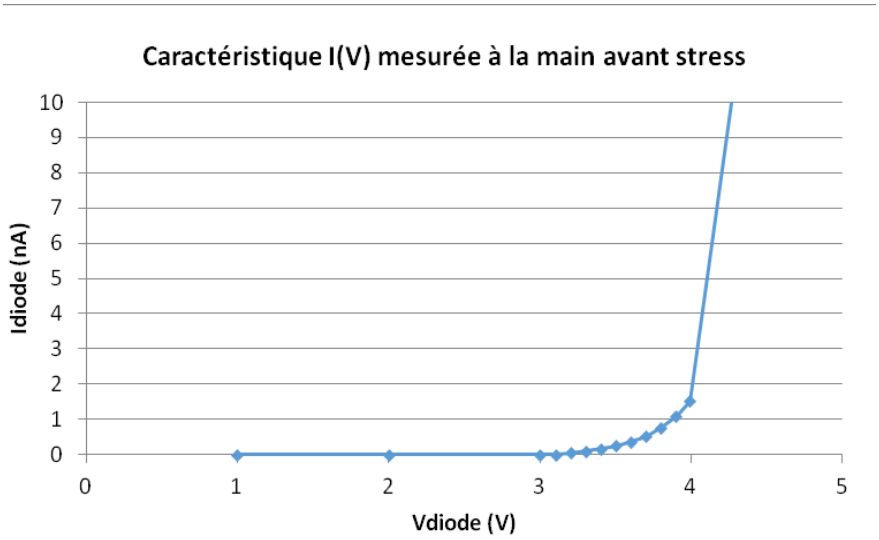


Figure 2-18. Caractéristique I(V) de la diode Zener venant du banc de test manuel

2.3.4. Les conditions pour stresser le composant

Comme souligné dans l'étude bibliographique du chapitre 1, le claquage de jonction P/N dépend de l'énergie totale communiquée au composant. D'après la fiche technique de la DUT, nous pouvons calculer le courant maximum $I_{max}=P_{max}/V_z=36mA$. Par conséquent, le stress pourra prendre effet pour des courants impulsionnels d'amplitude supérieur à 40mA. De plus, comme la diode peut supporter une puissance de 40W pour une durée d'impulsion de 100µs, la durée des stress se fera à partir de 200µs.

2.3.5. Effet d'impulsion EOS de forme d'onde carrée

2.3.5.1. Identification de l'influence de l'amplitude et de la durée

Un premier essai de test EOS pulsé a été lancé à partir de la forme d'onde carrée. Il s'agit de la forme d'onde la plus simple à décrire et à mettre en œuvre. Ce type de signal nous permettra d'identifier d'une manière méthodique la dégradation en cours de stress. Le Tableau 2-1 indique les conditions de stress de la DUT en fonction de l'amplitude et de la durée de l'impulsion EOS et les résultats de conjecture sur l'état électrique du composant en cours de stress. Il est à noter à partir de l'expérience nous confirme qu'avec la condition de début pour un EOS correspondant au courant d'amplitude inférieur ou égale à 40mA et de durée inférieure ou égale à 200µs, aucun phénomène anormal n'est observé.

	N°2	N°3	N°4					
	200µs	400µs	500µs	600µs	800µs	1ms	2ms	4ms
40mA	Normal	Normal						
50mA			Normal	Normal	Normal			
61mA								
70mA								
100mA					Normal			
200 mA					Normal			
400 mA								
0,78 A			Normal					
1,34 A			Normal					
1,54 A			Normal					
1,6 A			Normal					
1,86 A			Normal					Dégradation à 3,3 ms

Tableau 2-1 : Conditions et résultats des tests en fonction de l'amplitude et de la durée de l'EOS

Pour une analyse plus fine de la source de dégradation au sein de la diode, des stress à base de l'influence de la variation de l'énergie déposée au composant ont été menés. Le niveau de l'énergie de stress a été augmenté progressivement de la manière suivante :

- En augmentation du courant passant dans la diode en diminuant R_s,
- Ou en augmentant l'amplitude de la tension de stress,
- Ou augmentant la durée de stress.

Jusqu'à l'atteinte de la condition de stress {I_{stress}=1,86A, *Pulse Width*=800µs}, aucune dégradation en cours ou après stress n'est constatée au niveau du DUT. Durant l'expérience, l'amplitude de la tension de stress était de 17,4V. Cela correspond à la tension maximale nominale pouvant être générée avec notre banc de test EOS. La résistance R_s associée a été maintenue à 5Ω afin d'éviter un courant de stress trop fort susceptible de détériorer la diode très brutalement et pouvant empêcher ainsi toute analyse ultérieure. Donc, il ne reste plus qu'un seul paramètre pour contrôler l'énergie de stress, la durée qui peut être prolongée suffisamment pour observer le changement de comportement de la DUT.

L'expérience montre que seulement pour une durée d'impulsion, notée *PW*, à partir de 4ms, une dégradation notable de la diode a été identifiée en cours de stress. Les courbes correspondantes recueillies par l'oscilloscope sont tracées dans la Figure 2-19. Il est apparu que la modification du comportement de la diode est localisée à un instant critique t_c=3,3ms après le début de l'impulsion. À

cet instant $t=t_c$, la tension aux bornes de la diode V_d décroît brusquement de 9V à 6V. Ce passage est observé sur un laps de temps très bref d'en environ 200µs. Ensuite, V_d reste constante jusqu'à l'atteinte de l'état d'extinction de l'EOS.

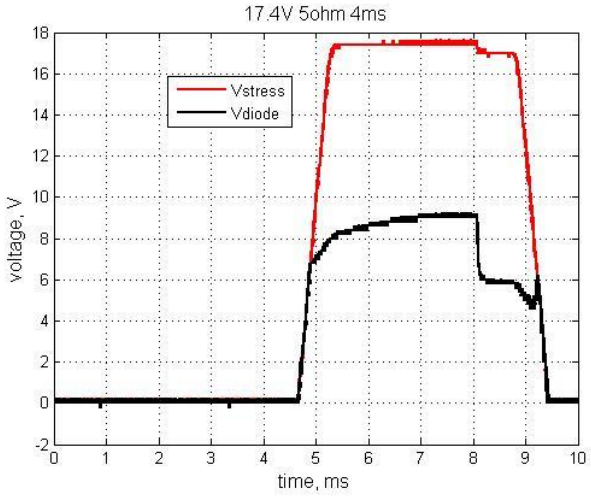


Figure 2-19. Dégradation en cours de stress, conditions V_{stress}=17,4V, PW=4ms et R_s=5Ω (No. 4)

Du point de physique, cette dégradation durant le stress correspond au phénomène de seconde avalanche dont l'analyse de défaillance plus sera détaillée dans le chapitre 3. Après avoir identifié cette dégradation, des tests EOS plus élargis avec la variation des paramètres amplitude, durée et périodicité ont été réalisés pour comprendre la relation entre le déclenchement de cette dégradation et les paramètres de stress.

2.3.5.2. Influence de l'amplitude du stress

Dans ce cas, *PW* a été fixée à 4ms, c'est la durée critique où la première signature EOS affectant la dégradation du comportement électrique de la DUT a été identifiée. Les amplitudes de stress V_{stress} ont été choisies entre les valeurs 9V et 17,2V. Les résultats durant le stress enregistrés par l'oscilloscope sont tracés dans la Figure 2-20 pour V_{stress}={9V, 12,2V et 17,2V}. Avant d'atteindre 17,2V, l'expérience démontre qu'aucune dégradation n'est observée. On peut constater que la dégradation n'apparait qu'à partir de 17,2V. Pour une analyse de l'évolution de caractéristique I(V) de la diode en cours de stress, une courbe I(V) dynamique est tracée sur la Figure 2-21. Pour V_{stress}=17,2V, l'accroissement de courant en cours de dégradation est observé dans cette caractéristique dynamique.

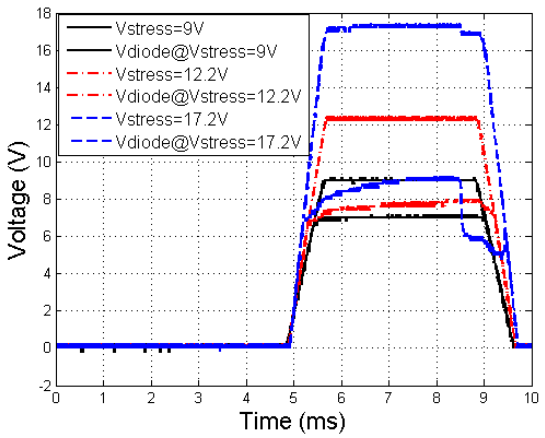


Figure 2-20. Influence d'amplitude EOS en cours de stress (N°33)

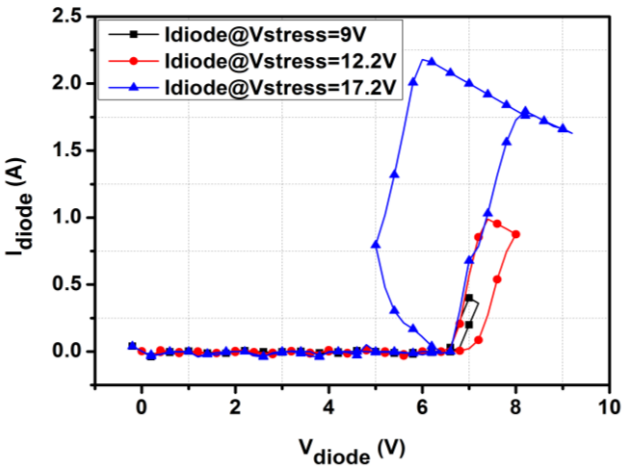


Figure 2-21. Caractéristique I(V) correspondant à la Figure 2-20

2.3.5.3. Influence de la durée du stress

Pour cet essai, V_{stress} a été fixée à 15V avec R_s=5Ω, ce qui correspond à une absence de dégradation pour *PW*=4ms. La durée de stress a ensuite été variée de 5ms à 8ms. L'expérience démontre qu'une signature EOS similaire au paragraphe précédent a été aperçu lorsque *PW*=8ms comme l'illustre les résultats de la Figure 2-22 et la Figure 2-23.

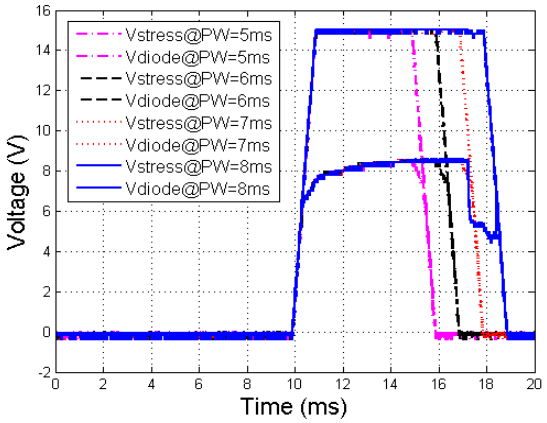


Figure 2-22. Influence de PW sur la caractéristique EOS de la DUT en cours de stress (No.19)

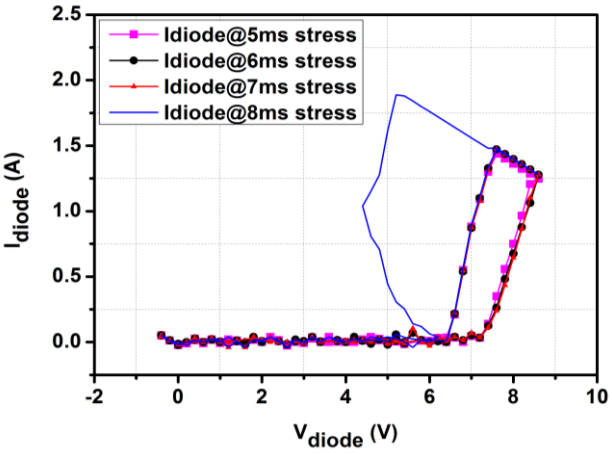


Figure 2-23. Courbe I(V) correspondant à la Figure 2-22

2.3.5.4. Influence du nombre de période du stress

Dans ce cas, la diode a été stressée par un train de trois impulsions identiques avec V_{stress}=17,4V, R_s=5Ω et PW=4ms. La signature EOS correspondant est représentée par la Figure 2-24. On constate lors de cette expérience que les durées t_{c1}, t_{c2} et t_{c3} comptabilisées entre le début de chaque impulsion et le moment de l'apparition de la signature EOS dans les impulsions ont tendance à diminuer. Cela confirme l'hypothèse de l'origine thermique du phénomène car la diode n'a pas le temps de retourner à la température ambiante entre deux impulsions et donc $t_{c1} > t_{c2} > t_{c3}$.

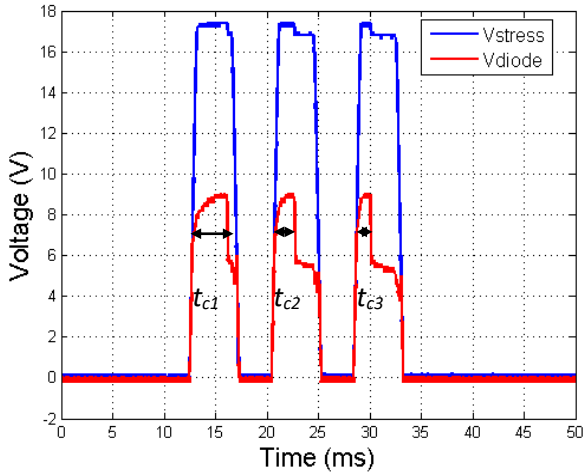


Figure 2-24. Influence d'EOS périodicité en cours de stress (No. 6)

En référence à la famille des caractéristiques I(V) de la Figure 2-25, la signature EOS correspondant au déclenchement notable du comportement électrique se situe au point singulier de la courbe de coordonnées {V_c=9V, I_c=1,75A}.

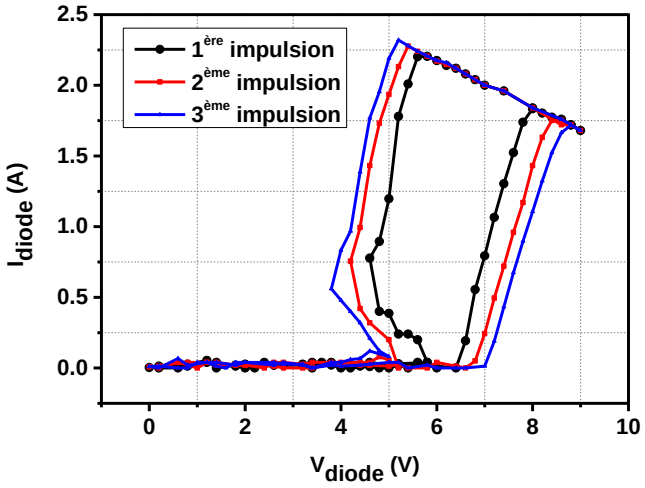


Figure 2-25. Courbe I(V) correspondant à Figure 2-24

2.3.5.5. Influence de l'énergie et de la puissance du stress

Différents stress ont été effectués en faisant varier V_{stress} et PW pour obtenir une large gamme de durée de stress et comprendre son influence sur l'apparition de la dégradation et la durée T_a écoulée entre le début de l'impulsion et l'apparition de la dégradation. Les expériences nous ont menés aux résultats du Tableau 2-2.

Échantillons	V_{eos} (V)	R_s (Ω)	I_{dmax} (A)	T_a (ms)	Énergie (J)	Puissance (W)
No. 14	11,2	5	0,88	80	0,367	4,586
No. 21	10,8	4	1	44	0,252	5,727
No. 15	12,2	5	1,08	36	0,221	6,139
No. 22	11,6	4	1,2	26,3	0,181	6,882
No. 21	13,2	5	1,28	14,61	0,12	8,216
No. 23	12,6	4	1,45	14,34	0,1215	8,473
No. 17	14,4	5	1,52	10,59	0,101	9,537
No. 24	13,6	4	1,7	7,99	0,0823	10,3
No. 19	15	5	1,64	6,73	0,0735	10,921
No. 20	15,8	5	1,8	4,65	0,0566	12,172

Tableau 2-2 : Tests sur l'influence de l'énergie et de la puissance du stress

2.3.6. Étude de l'EOS en forme d'onde double-exponentielle

Pour compléter les précédentes études avec l'EOS carrée, une deuxième série d'essais avec la forme d'onde double-exponentielle a été menée. Cette forme d'onde nous a permis de voir l'influence des temps de montée/descente et de la valeur pic de l'EOS sur la dégradation. Bien évidemment, il nous permettra également de comprendre le lien entre la robustesse du DUT, la forme d'onde et la répartition temporelle de l'énergie EOS transmise au DUT. Tout d'abord, les tests ont débuté avec une condition similaire au cas précédent en considérant les paramètres suivants {V_{stress}=17V, R_s=5Ω, PW=4ms}. Expérimentalement, aucune dégradation n'est observée pour PW<7,5ms. Ensuite, une signature EOS similaire au cas précédent apparait comme en témoigne la Figure 2-26 lorsque PW=7,5ms. Au même instant, une chute brutale de V_d est détectée et simultanément, I_d augmente rapidement. Ce test nous confirme que c'est bien l'énergie transmise au DUT qui est la source de la signature EOS. En effet, à cause de sa forme d'onde différente de celle de l'EOS carré, le stress en double-exponentielle, à amplitude égale, demande plus de temps pour communiquer à l'objet sous test la même énergie.

Comme dans le cas précédent, la durée de stress peut être diminuée pour atteindre la dégradation si l'amplitude du stress augmente. Mais en pratique, le banc de test à notre disposition ne permet pas de générer une amplitude d'EOS supérieure à 18V. Cela veut dire que pour augmenter l'énergie de stress, on doit agir sur l'amplitude de courant (en diminuant par exemple R_s) ou sur la durée de l'EOS pour un niveau de tension constant. La Figure 2-27 montre le résultat transitoire obtenu en augmentant le courant maximal de stress de 2A à 3A en mettant R_s à 3Ω. La Figure 2-27 montre qu'avec une tension de stress baissée de 17V à 16V, la durée de stress avant dégradation passe de 7,5ms à 3,3ms. Dans les deux cas, les résultats observés correspondent effectivement au comportement électrique attendu.

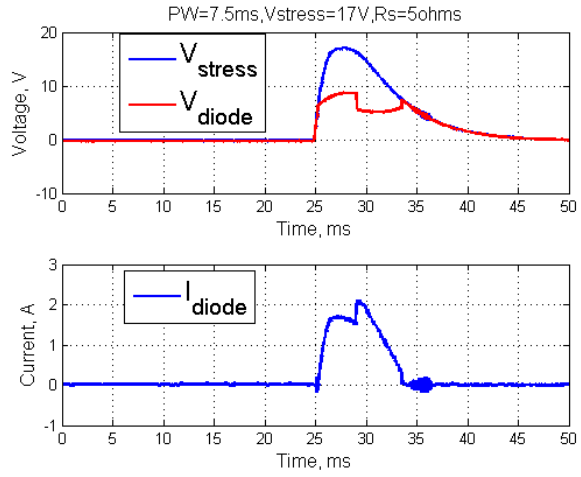


Figure 2-26. Test avec EOS en forme d'onde double-exponentielle et R_s=5Ω (No. 44)

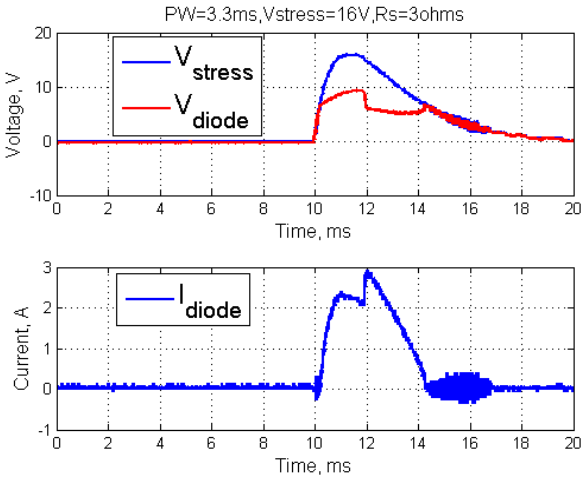


Figure 2-27. Test avec EOS en forme d'onde double-exponentielle et R_s=3Ω (No.45)

Finalement, deux tests supplémentaires avec une amplitude de courant plus élevée ont été effectués avec R_s de 2Ω puis 1Ω. Les caractéristiques en cours de stress sont tracées sur les figures Figure 2-28 et Figure 2-29. De façon similaire au cas précédent, le temps de stress avant dégradation est de plus en plus réduit. Ces tests serviront aussi à l'analyse de l'énergie d'activation dans le chapitre 3.

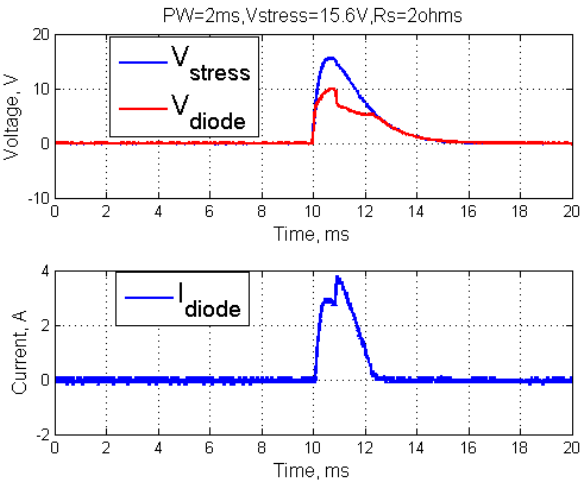


Figure 2-28. Test avec EOS en forme d'onde double-exponentiel et R_s=2Ω (No. 46)

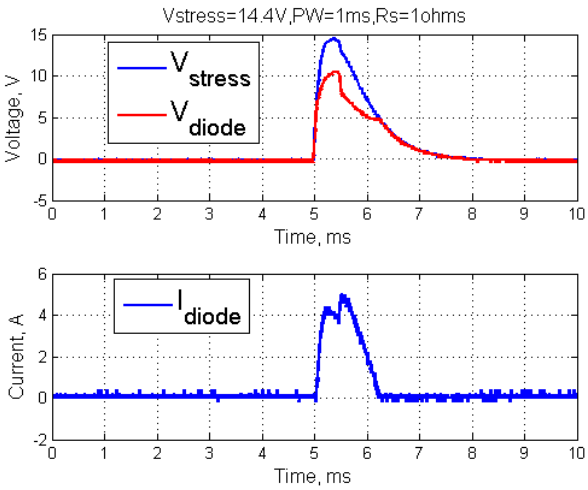


Figure 2-29. Test avec EOS en forme d'onde double-exponentiel et R_s=1Ω (No. 48)

2.3.7. Étude de l'EOS en forme d'onde sinusoïdale amortie

Les tests EOS en forme d'onde en sinusoïde amortie complètent les essais sur la diode avec en particulier l'apparition d'un stress en direct. D'après la méthode de génération de signal qui est présentée en Chapitre 1, R_s est diminuée à 1Ω pour obtenir une intensité du courant maximale comparable à celle des tests précédents. L'expérience montre qu'avec *PW*=100ms, il n'y a pas de dégradation constatée comme on peut le voir sur la Figure 2-30. À noter que le courant en direct, sur l'alternance négative du stress, présente une amplitude 2 fois plus grande que celle du courant en inverse sur l'alternance positive du stress. Par contre, si *PW*=200ms la diode est détériorée en direct à cause d'un courant plus important comme le montre la Figure 2-31. Nous pouvons noter que la diode se comporte comme un circuit ouvert après la dégradation.

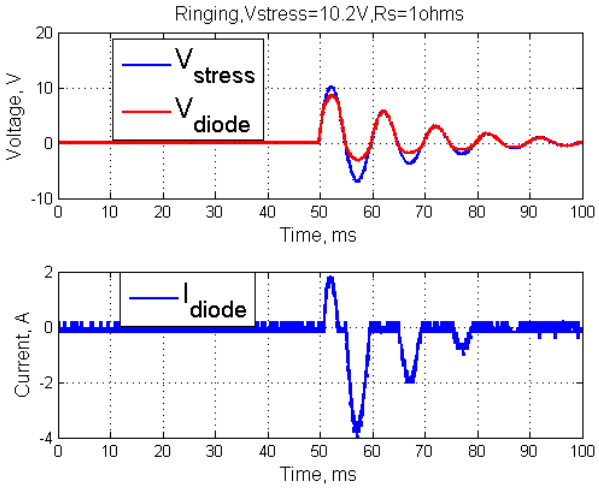


Figure 2-30. Test avec EOS en forme d'onde sinusoïdale amortie pendant 50ms (No. 47)

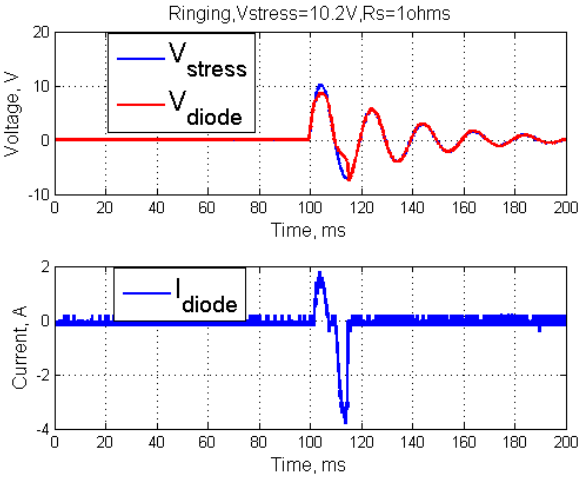


Figure 2-31. Test avec EOS en forme d'onde sinusoïdale amortie pendant 100ms (No. 47)

2.3.8. Vérification des caractéristiques après stress

Après avoir constaté la dégradation en cours de stress, les diodes stressées ont été caractérisées. Les caractéristiques I(V) ainsi obtenues ont été comparées avec celles réalisées avant le stress. Avec les EOS en forme d'onde carrée définis par les paramètres {V_{stress}=17,4V, R_s=5Ω, PW=4ms} et pour une impulsion unique, il n'existe pas de modification après stress. Les dégradations subies par la diode ne sont pas visibles sur sa caractéristique statique et pourraient être classées en dégradations réversibles. Suite à cette observation, l'énergie de stress a été encore augmentée en diminuant R_s à 4Ω. La même diode est stressée plusieurs fois avec l'EOS carré ayant les paramètres {V_{stress}=17,4V, R_s=5Ω, PW=4ms}. Après chaque stress, la diode a été caractérisée en I(V) statique. Les résultats sont résumés dans le Tableau 2-3. L'évolution des caractéristiques I(V) après chaque stress est donnée par la Figure 2-32.

Nombre de stress	État de la diode
1er stress	Normale
2ème stress	V_z modifiée, courant de fuite plus important
3ème stress	Dégradée
4ème stress	Résistance de 50kΩ

Tableau 2-3 : Tests pour identifier une dégradation irréversible (No. 32)

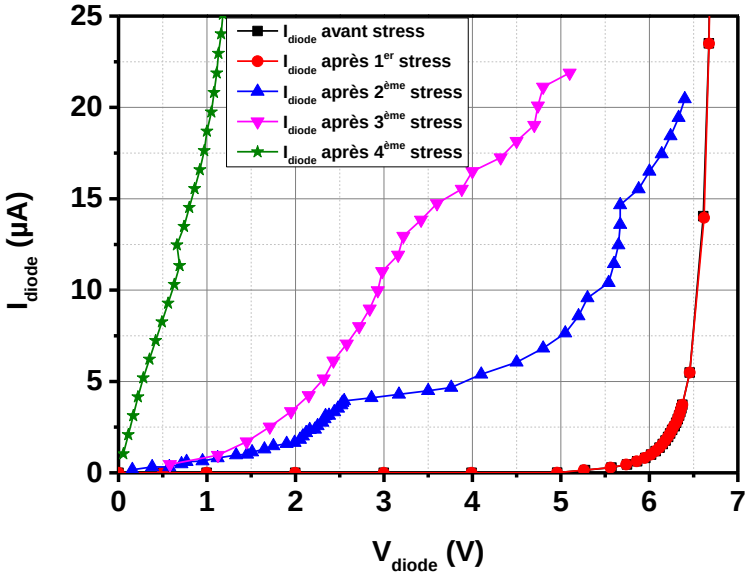


Figure 2-32. Évolution des caractéristiques statiques en fonction du nombre de stress (No. 32)

2.3.9. Conclusions sur les tests EOS pour la diode Zener

Les essais EOS conduits sur la diode Zener ont permis de mettre en évidence :

- La signature EOS qui se manifeste par la dégradation durant le stress avec des essais en considérant différentes formes. Le mode de dégradation irréversible, qui amène la diode à se comporter comme un circuit ouvert, correspond, après analyse de défaillance aux Rayons X, à la rupture du fil de bonding de la diode. Cette analyse de défaillance a été menée par l'entreprise PRESTO Engineering partenaire du projet SESAMES. Ce mode de dégradation est illustré par la Figure 2-33. Cette analyse sera approfondie dans le prochain chapitre de ce manuscrit.
- Un mode de dégradation en inverse qui correspond au fonctionnement en régime de seconde avalanche de la diode Zener. C'est sur cet effet du stress EOS que se concentrera l'analyse du chapitre 3 afin de mieux expliquer le mécanisme du phénomène physique responsable de la dégradation. L'analyse permettra de modéliser et prédire davantage les zones de fonctionnement dans lesquelles la diode doit s'opérer pour éviter les dysfonctionnements indésirables dus aux EOS.

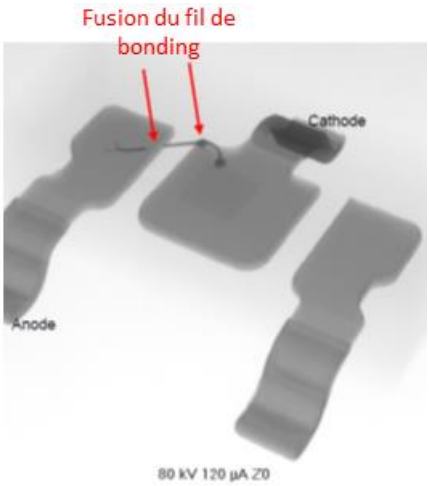


Figure 2-33. Analyse de défaillance aux rayons X - Rupture du fil de bonding

2.4. Étude l'effet d'EOS sur le circuit intégré CMOS TDA8007

Le but ultime de cette étude c'est d'identifier les paramètres qui influencent la signature EOS sur le Circuit Intégré (CI) TDA8007. Pour ce faire, les caractéristiques I(V) avant, durant et après les stress seront établies. Ensuite, l'identification de la signature EOS se fera par l'identification des dégradations du comportement électrique du DUT.

2.4.1. Introduction

Le TDA8007 est un CI utilisé régulièrement pour l'interfaçage multi-protocoles de lecteurs de carte avec contact dans les terminaux de paiement. Il a été conçu et fabriqué en technologie 70nm pour la première fois en 1999. La Figure A1-1 montre le schéma d'application du composant et la Figure A1-2 de l'annexe A.1.2 indique son brochage. Pour répondre aux besoins des partenaires industriels, l'EOS a été appliqué au niveau de la broche CS (en réalité cette broche s'appelle « CS barre ») indiquée en rouge sur les deux figures. C'est dans le mode de fonctionnement donné par le schéma d'application de la Figure A1-1 de l'annexe A.1.2 que le CI a été caractérisé. Cela correspond au mode basse consommation du circuit.

2.4.2. Circuit équivalent d'entrée de la broche sous test

Le composant TDA8007 est un circuit intégré qui comporte 48 broches et seule la broche « CS » qui sert à sélectionner le circuit a été stressée CI. Cette broche est aussi intéressante à caractériser en EOS car elle est représentative, par sa constitution, de ce qu'est une entrée CMOS. Le schéma équivalent de l'entrée CS fourni par NXP est représenté sur la Figure 2-34. Ce circuit est constitué de :

- Deux diodes de clamp qui protège le circuit contre les surtensions. C'est la protection typique d'un circuit CMOS contre les ESD. Une diode (dite « diode du haut ») a sa cathode reliée à l'alimentation positive du circuit $+V_{DD}$, l'autre (dite « diode du bas ») a son anode reliée à la masse de l'alimentation.
- D'un inverseur (« IC block ») qui constitue la partie fonctionnelle de cette entrée CS. Cet inverseur est relié à la patte CS à travers une résistance de 100Ω.
- Une résistance de 90kΩ entre l'alimentation et l'entrée de l'inverseur.
- Un circuit appelé « Power clamp » qui est un GGNMOS (« Gate Grounded NMOS ») et dont le fonctionnement s'apparente à celui d'une diode Zener. Il est destiné à limiter la tension entre la broche V_{DD} et la masse du circuit et il contribue à la protection ESD du circuit.

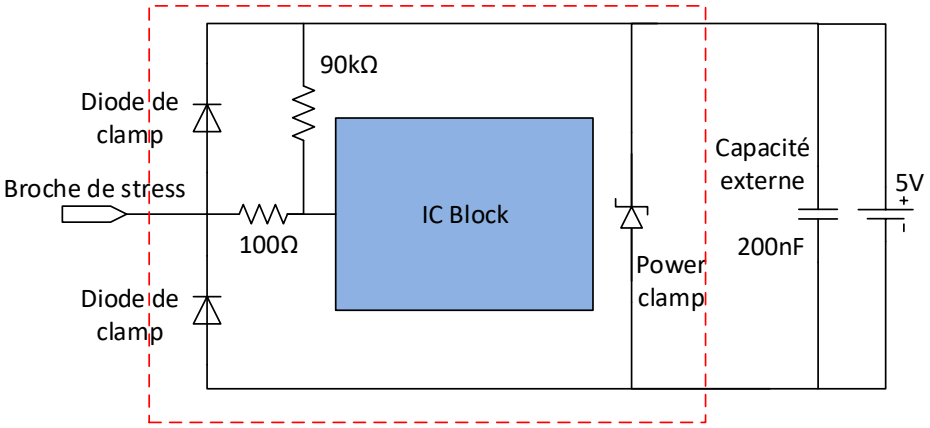


Figure 2-34. Schéma équivalent de l'entrée de la broche CS du CI TDA8007

Typiquement le circuit est conçu pour travailler une alimentation positive V_{DD} de +5V. Cette alimentation est découplée à une capacité externe de 200nF.

2.4.3. Caractérisation du TDA8007 avant stress

La méthodologie de test est pratiquement la même que pour la diode Zener de la sous-section précédente. Dans ce cas, le TDA8007 a été caractérisé en I(V) avant stress, puis il a été stressé en EOS avec différentes formes d'onde. La caractéristique I(V) de la broche CS avec le CI alimenté sous V_{dd}=+5V avant stress est tracée en Figure 2-35. Il est observé que le courant consommé par le composant est de 0.01A. Cette valeur correspond parfaitement à la caractéristique fournie par le fabricant dans la fiche technique [65]. Avant d'atteindre une tension de 5,6V, le courant dans la broche CS est pratiquement nul car la diode de clamp du haut ne peut conduire que si $V_{CS}>V_D+V_{DD}$=5,6V. La diode de clamp du bas est polarisée en inverse. Au-delà de 5,6V, la diode du haut conduit et le courant dans la broche CS augmente.

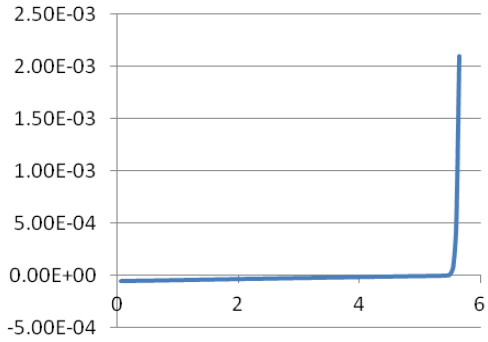


Figure 2-35. Caractéristique I(V) la broche CS du TDA8007 obtenue par la source mètre

2.4.4. Caractérisation du TDA8007 durant l'EOS en forme d'onde carrée

2.4.4.1. Introduction

De façon similaire aux précédents tests avec la diode Zener, les essais de test de robustesse du CI TDA8007 ont débuté avec des EOS en forme d'onde carrée. Trois séries de test OVS ont été réalisées pour trouver des dégradations en cours de stress. En pratique, il s'agit de trois configurations suivantes :

- La série 1 correspond au CI TDA8007 en mode d'alimentation normale i.e. V_{dd}=+5V,
- La série 2 correspond au CI TDA8007 dont l'alimentation a été considérée en mode flottante i.e. la broche d'alimentation laissée à vide,
- La série 3 correspond au CI TDA8007 dont l'alimentation est mise à la masse i.e. V_{dd}=0V.

Les résultats de ces trois séries d'essais sont présentés dans les paragraphes suivants.

2.4.4.2. Série 1 : V_{dd}=5V

Pendant cette série de test, le circuit d'entrée équivalent est schématisé en Figure 2-36. Le signal EOS a été injecté entre à la broche CS avec R_s en série. Le premier test a été réalisé avec les paramètres EOS suivants {V_{stress}=17,4V, R_s=5Ω, PW=4ms}. Au début des tests, malgré l'absence de signe révélateur de dégradation pendant le stress, il a été constaté lors de la mesure I(V) après stress que le composant était détérioré. Pour pouvoir affiner le contrôle de la variation des paramètres de stress, l'intensité du courant de test a été baissée en diminuant PW à 1ms et en augmentant progressivement l'amplitude de la tension de stress à partir de 5,6V.

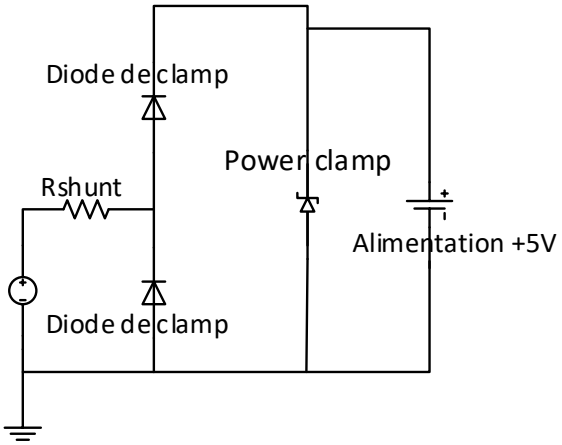


Figure 2-36. Série 1. Schéma équivalent du circuit d'entrée du CI TDA8007 pour V_{dd}=+5V

Après chaque stress, la caractéristique I(V) a été visualisée et comparer à la référence établie en paragraphe 2.4.3. Les résultats obtenus sont résumés dans le Tableau 2-4. La tension V_{CS} est la tension entre la broche CS et la masse. La valeur maximale de V_{CS} qui apparait dans les tableaux Tableau 2-4 et Tableau 2-5 correspond à la valeur de V_{CS} obtenue quand :

- soit V_{stress} atteint une valeur constante en absence de dégradation,
- soit la dégradation apparait, cette dégradation pouvant intervenir avant que V_{stress} soit constante.

Échantillons	V_{stress}(V)	V_{cs} (V)	R_s (Ω)	PW (ms)	État en cours de stress	État après stress
No. 11	5,6	5,6	5	1	Pas de changement	Pas de changement
No. 11	6,6	6,2	5	1		
No. 11	7,7	7,1	5	1		
No. 11	8,8	7,9	5	1		
No. 11	10	8,8	5	1		
No. 11	11	9,6	5	1		
No. 12	12.2	10.6	5	1		
No. 12	13,2	11,6	5	1		
No. 12	14,4	12,6	5	1		
No. 13	15,4	13,4	5	1		
No. 13	16,4	14,2	5	1	Dégradation	Cassé

Tableau 2-4 : Résultats des tests EOS en forme d'onde carré, PW=1ms et R_s=5Ω.

Jusqu'à atteindre une amplitude d'EOS égale à 15,4V, aucune modification n'est observée sur le comportement du CI pendant et après stress. Avec les paramètres d'EOS {V_{stress}=16,4V, R_s=5Ω, PW=1ms}, le CI présente un changement de comportement durant le stress comme l'illustre la

signature visible sur la Figure 2-37. De plus, le CI s'avère être suffisamment dégradé vu son état électrique après stress comme le montre la Figure 2-38. Lorsque V_{stress} est augmentée jusqu'à environ 5,6V, le courant I_{CS} est négligeable. Au-delà, la diode du haut conduit et il y charge de la capacité d'alimentation par V_{stress} à travers R_s, cela est confirmé par l'allure du courant I_{CS}. Quand V_{stress} est mise au-delà de 14,2V, le composant change de comportement.

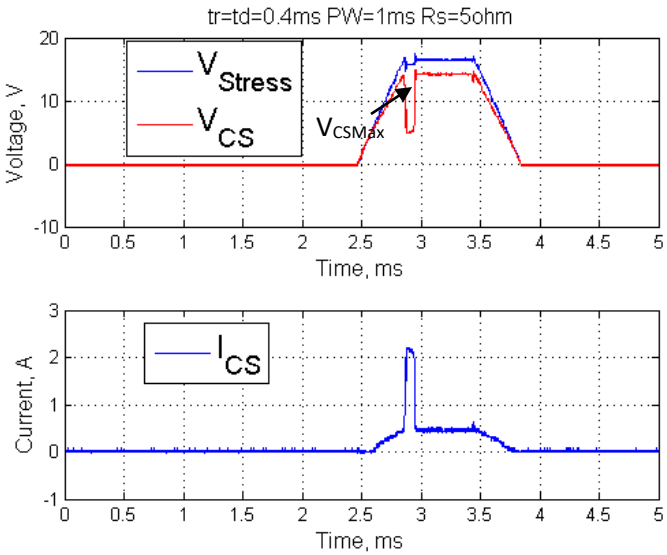


Figure 2-37. Résultat du test EOS avec V_{stress}=16,4V, R_s=5Ω, PW=1ms et alimentation à +5V (No. 13)

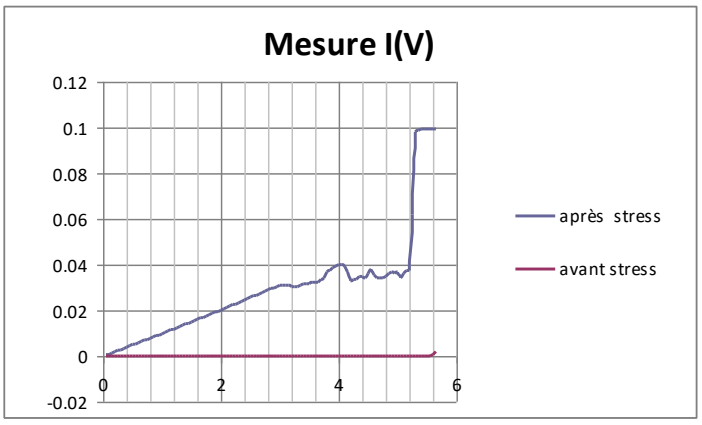


Figure 2-38. Comparaison I(V) avant et après stress pour V_{stress}=16.4V, R_s=5Ω, PW=1ms

Après ce 1er test, R_s a été augmentée à 10Ω pour baisser I_{cs} à une valeur maximale pour éviter une destruction trop rapide du circuit. V_{stress} a été fixée à 16,6V où il n'y a plus de dégradation avec *PW*=1ms. Ensuite, la durée de l'impulsion a été doublée progressivement par chaque stress. Les résultats de tests réalisés sont résumés dans le Tableau 2-5. À *PW*=16ms la dégradation similaire à celle observée pour la diode durant le stress apparait. Il convient de noter que, contrairement à la diode, le composant est complètement détérioré après stress. Il se comporte comme une résistance de faible

valeur comme l'illustre la caractéristique I(V) tracée sur la Figure 2-41. Dans la suite de l'expérience, un nouveau composant a été stressé avec PW=16ms avec t_r=t_d=2ms au lieu de 0.4ms. Ce dernier changement a été effectué pour pouvoir visualiser la variation de l'état du circuit aux différents instants du niveau de $V_{stress}(t)$. Il a été observé que la durée PW=16ms n'est plus suffisante pour observer une signature EOS. Le phénomène était apparu à plus tard à PW= 18ms. La caractéristique transitoire témoignant de ce phénomène est tracée dans la Figure 2-39. La caractéristique I(V) correspondante est aussi tracée dans la Figure 2-40. La diode en haut du CI commence à conduire que pour V_{stress} atteignant 5,6V. Cependant, les expériences menées jusqu'à ce point n'ont pas révélé les conditions permettant de visualiser l'état de conduction de la diode en bas. De ce fait, une autre série de test sans alimentation a été réalisée.

Échantillons	V_{stress}(V)	V_{cs} (V)	R_s (Ω)	PW (ms)	État en cours de stress	État après stress
No. 14	16,6	13,2	10	1	Pas de changement	Pas de changement
No. 14	16,6	13,4	10	2		
No. 14	16,6	13,4	10	4		
No. 14	16,6	13,8	10	8		
No. 14	16,6	14	10	16	Dégradation	Cassé

Tableau 2-5 : Résultats de test d'identification de la dégradation du composant TDA8007 sous EOS en forme d'onde carrée

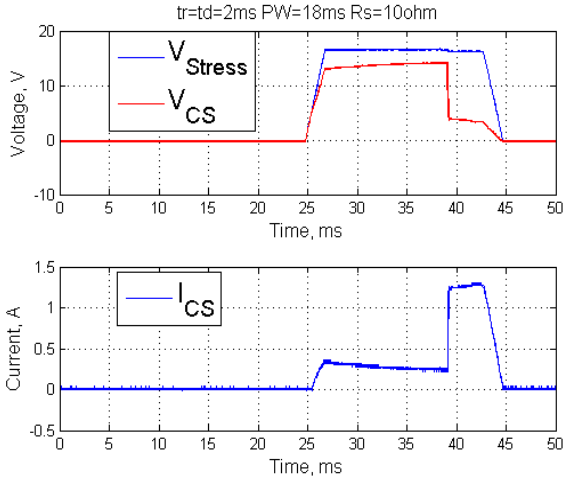


Figure 2-39. Résultat de 2ème test avec V_{dd}=5V (No. 15)

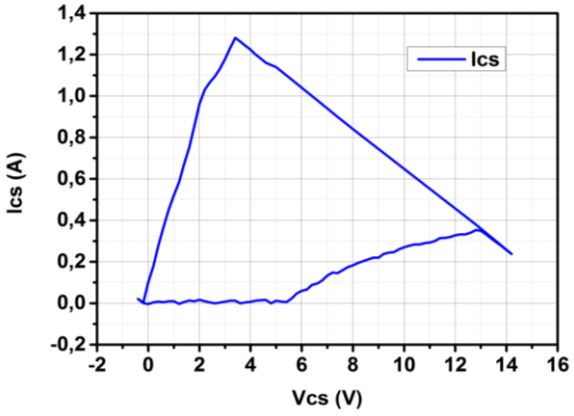


Figure 2-40. Caractéristique I(V) dynamique correspondante à la Figure 2-39

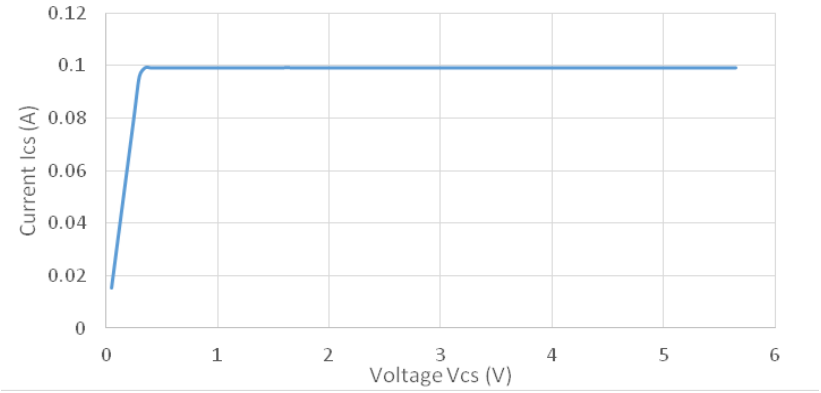


Figure 2-41. Caractéristique I(V) du TD8007 après stress pour V_{dd}=5V

2.4.4.3. Série 2 : V_{dd} flottante

Dans cette série d'expérience, l'alimentation a été supprimée c'est-à-dire non connectée. Cet essai nous permet de voir le comportement de la diode du bas qui fonctionne en mode d'inverse. Le schéma d'entrée équivalent est présenté par la

Figure 2-42. Les tests ont été menés avec les paramètres d'EOS {V_{stress}=16,6V, R_s=10Ω, PW=18ms} similaire au cas précédent. La caractéristique durant le stress est tracée en Figure 2-43. Il a été constaté que le composant réagit au stress comme précédemment à part que la charge de la capacité d'alimentation démarre dès que V_{stress}>0. La comparaison des caractéristiques I(V) avant et après stress confirme la dégradation du composant.

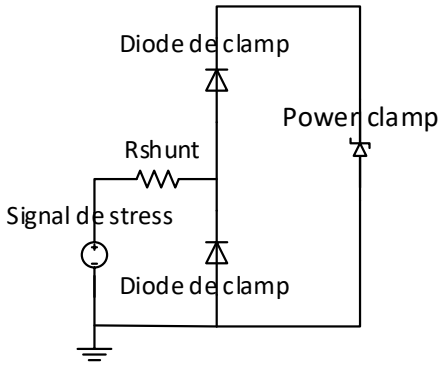


Figure 2-42. Schéma équivalent du CI sous stress pour V_{dd} flottante

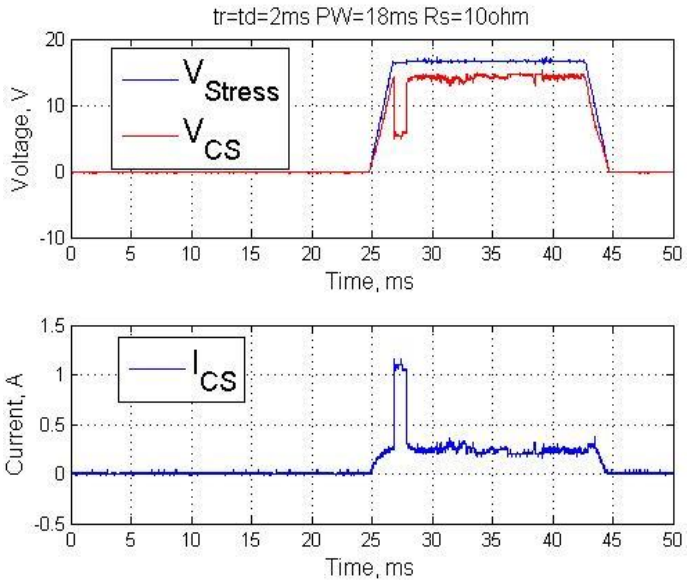


Figure 2-43. Résultat du 1er test pour V_{dd} flottante (No. 16)

En partant des paramètres {V_{stress}=16,6V, R_s=10Ω, PW=18ms}, l'amplitude de V_{stress} a été diminuée pour éviter cette dégradation et augmentée progressivement. Dans ce cas, il a été constaté que la dégradation disparaît si V_{stress} < 15,8V même si PW=90ms. Ensuite, l'essai s'est poursuivi en diminuant PW avec V_{stress}=16,8V. Il apparait qu'avec PW=4ms et 1.5ms, les mêmes modes de dégradation ont été observées. Les résultats des tests réalisés sont résumés dans le Tableau 2-6.

N°	V_{stress} (V)	V_{cs} (V)	R_s (Ω)	PW (ms)	État en cours de stress	État après stress
No. 16	16,6	14,2	10	18	Modifié	Dégradé
No. 17	12,4	11,2	10	18	Pas de changement	Pas de changement
No. 17	13,4	12	10	18		
No. 17	14,6	13	10	18		
No. 17	15,6	13,8	10	18		
No. 18	15,8	14,2	10	30		
No. 18	15,8	14,2	10	45		
No. 18	15,8	14,2	10	90		
No. 19	16,8	14,2	10	4	Modifié	Dégradé
No. 21	16,8	14,2	10	1,5	Modifié	Dégradé

Tableau 2-6 : Identification de la dégradation du composant TDA8007

On peut conclure que le circuit est moins robuste et plus fragile lorsque V_{dd} est flottante qu'avec alimentation +5V. La réponse transitoire expérimentale déduite durant le stress est tracée dans la Figure 2-44 pour V_{stress}=16,8V. La caractéristique I(V) correspondante est tracée dans la Figure 2-45. Il est à noter que le CI a été dégradé de façon irréversible. Dans l'étape suivante, une dernière série de stress a été réalisée avec R_s=20Ω et PW=18ms. Pour V_{stress}=16,6V, il n'y a pas de changement de comportement du CI sous test. En revanche pour V_{stress}=17,2V, on obtient les résultats de la Figure 2-46. Une modification de comportement est alors apparue durant le stress. Dans ce cas, on constate que la tension V_{CS} chute de 13,4 à 12,2V et le courant I_{CS} est de l'ordre de 0,5A. Ensuite, on souligne qu'aucune modification notable n'est observée au niveau de la caractéristique I(V) après le stress.

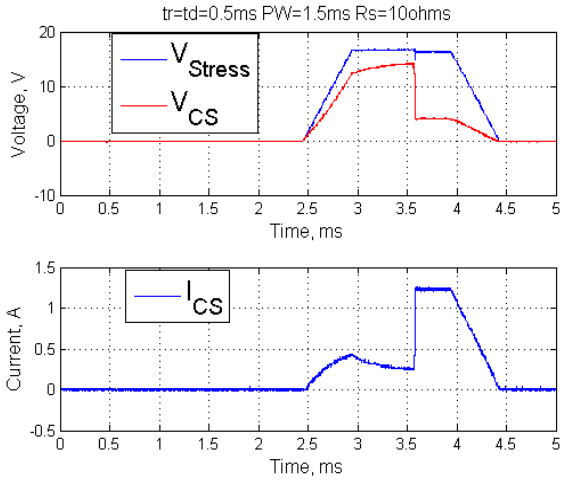


Figure 2-44. Réponse du TDA8007 durant le stress avec {V_{stress}=16,8V, R_s=10Ω, PW=1,5ms} (No. 21)

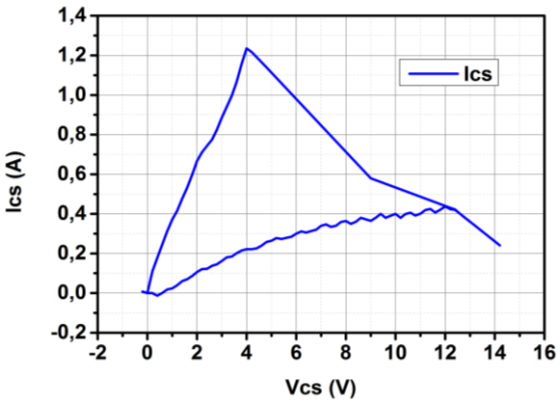


Figure 2-45. Caractéristique I(V) durant le stress avec {V_{stress}=16,8V, R_s=10Ω, PW=1,5ms}.

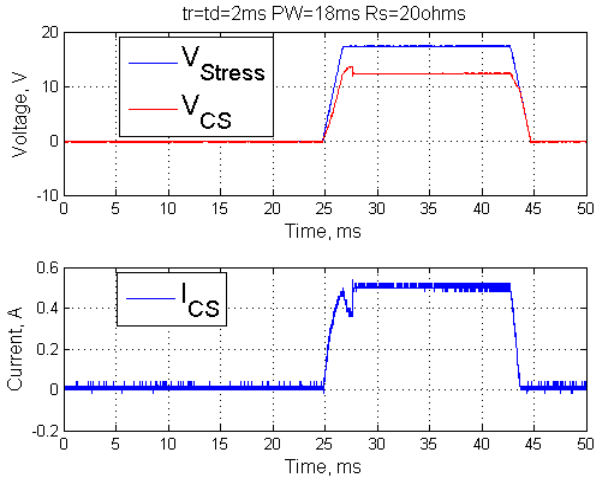


Figure 2-46 : Résultat du test sans alimentation pour {V_{stress}=17,2V, R_s=20Ω, PW=18ms} (No. 22)

2.4.4.4. Série 3 : V_{dd}=0V

Dans ce cas, la broche d'alimentation du TDA8007 a été mise à la masse. Le schéma du circuit d'entrée équivalent est affiché en Figure 2-47.

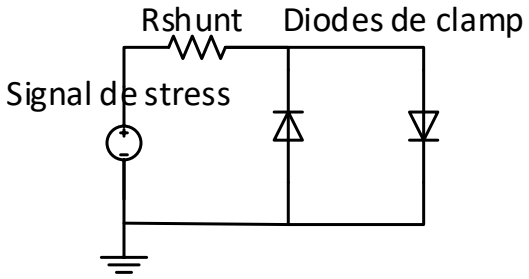


Figure 2-47 : Schéma d'entrée équivalent sous stress avec alimentation mise à la masse

Le 1er test de cette série a été réalisé avec les paramètres {V_{stress}=16,6V, R_s=10Ω, PW=1,5ms}. Le résultat de stress est donné sur la Figure 2-48. La signature EOS durant le stress est clairement visible. On peut en déduire que lorsque V_{dd}=0V, le TDA8007 est devenu encore moins robuste face aux EOS en forme d'onde carrée.

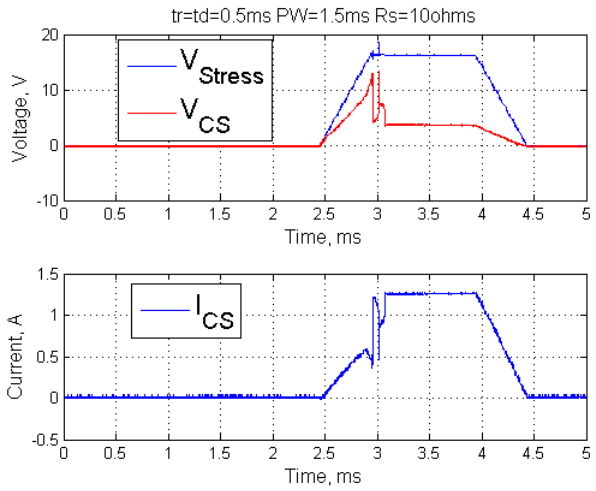


Figure 2-48. Résultat de 1er test EOS avec V_{dd}=0V (No. 68)

Ensuite, l'essai a été reproduit avec R_s=20Ω. De façon similaire au cas de la 2ème série, aucune signature EOS ni changement d'état électrique n'est observée. Cela nous a intuitivement conduit à augmenter le courant I_{CS}, en mettant par exemple R_s=10Ω et au départ avec V_{stress}=11,3V qui a été augmentée progressivement. Durant le stress, le premier signe de dégradation était détecté lorsque V_{stress}=14,6V comme l'illustre la Figure 2-49. La caractéristique I(V) correspondante est tracée dans la Figure 2-50. Les résultats de la 3ème série de tests sont résumés dans le Tableau 2-7.

N°	V_{stress} (V)	V_{cs} (V)	R_s (Ω)	PW (ms)	État en cours de stress	État après stress
No. 68	16,2	13	10	1,5	Dégradation forte	Dégradé
No. 69	16,4	7	20	1,5	Pas de changement	Pas de changement
No. 69	16,4	7	20	4	Pas de changement	Pas de changement
No. 69	16,8	7,4	20	8	Pas de changement	Pas de changement
No. 69	16,8	7,4	20	16	Pas de changement	Pas de changement
No. 69	17,4	7,8	20	16	Pas de changement	Pas de changement
No. 69	17,8	8	20	16	Pas de changement	Pas de changement
No. 69	18,2	8,2	20	18	Pas de changement	Pas de changement
No. 70	11,3	6,8	10	1,5	Pas de changement	Pas de changement
No. 70	12,4	7,6	10	1,5	Pas de changement	Pas de changement
No. 70	13,5	8,4	10	1,5	Pas de changement	Pas de changement
No. 70	14,6	10	10	1,5	Dégradation	Dégradé

Tableau 2-7 : Indentification de la dégradation du composant TDA8007 pour V_{dd}=0V

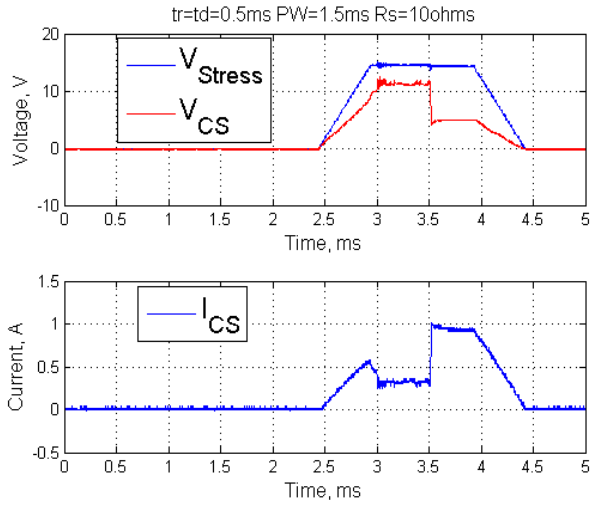


Figure 2-49. Résultat de 2ième test pour V_{dd}=0V (No. 72)

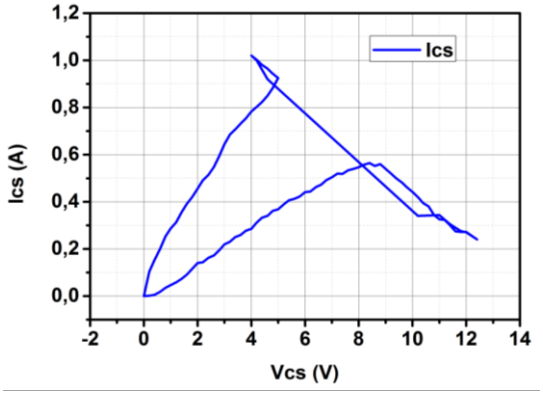


Figure 2-50. Caractéristique I(V) correspondante à la Figure 2-49.

2.4.5. Résultats d'EOS en forme d'onde double-exponentielle

Dans ce paragraphe, nous présentons les résultats tests du TDA8007 obtenus pour les EOS en forme d'onde double-exponentielle. À noter que dans ce cas tous les tests ont été effectués avec V_{dd}=5V. Il convient de se rappeler que pour la forme d'onde double-exponentielle, pour une quantité d'énergie identique qu'au cas d'EOS en forme d'onde carrée, il faut une durée d'impulsion *PW* plus importante pour cette forme d'onde que pour l'onde carrée. Les paramètres d'EOS sont {V_{stress}=16,8V, R_s=10Ω}. Il faut que *PW* atteigne 58ms pour que le CI soit dégradé en cours de stress. La réponse transitoire correspondante est tracée dans la Figure 2-51.

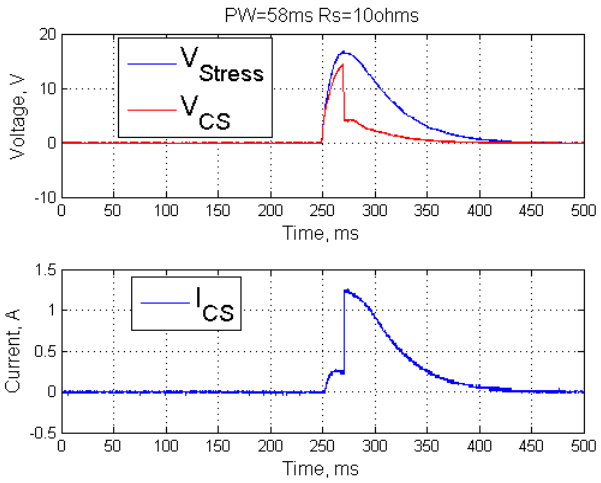


Figure 2-51. Résultat du 1er test avec EOS en forme d'onde double-exponentielle avec V_{dd}=5V (No. 84)

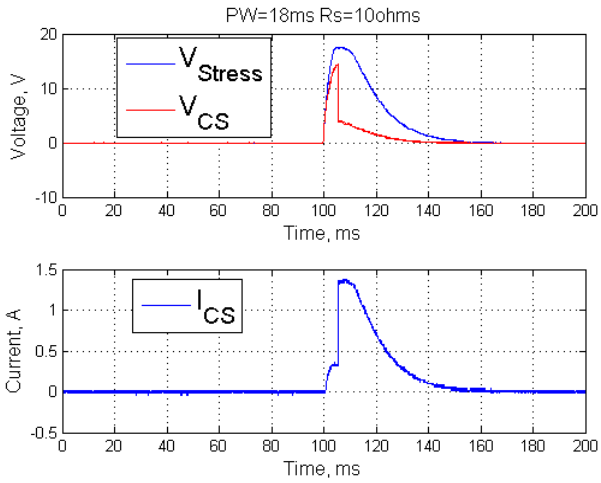


Figure 2-52. Résultat du 2ème test avec EOS en forme d'onde double-exponentielle avec V_{dd}=5V (No. 85)

Dans la suite de ces essais, *PW* a été fixée à 18ms. Lorsque V_{stress} atteint 17,4V, une dégradation est observée comme le montre la Figure 2-52. Avec l'EOS en forme d'onde double-exponentielle, quand des modifications de comportement du CI en cours de stress sont observées, comme pour le stress EOS en forme d'onde carrée, les circuits testés sont toujours dégradés de façon irréversible après stress. Ces résultats nous confirment encore une fois que c'est bien l'énergie du stress qui cause la dégradation.

2.4.6. Forme d'onde sinusoïdale amortie

Durant les essais de stress avec EOS en forme d'onde sinusoïdale amortie avec V_{DD}=+5V, les paramètres suivants ont été considérés {*PW*=500ms, Nombre de période=5, Coefficient d'amortissement=0,1}. Les résultats transitoires correspondants sont représentés dans la Figure 2-53. Les essais ont montré que les circuits ont été dégradés dès la première demi-période de sinusoïde positive pour V_{CS}=14,2V avec V_{stress}=17V.

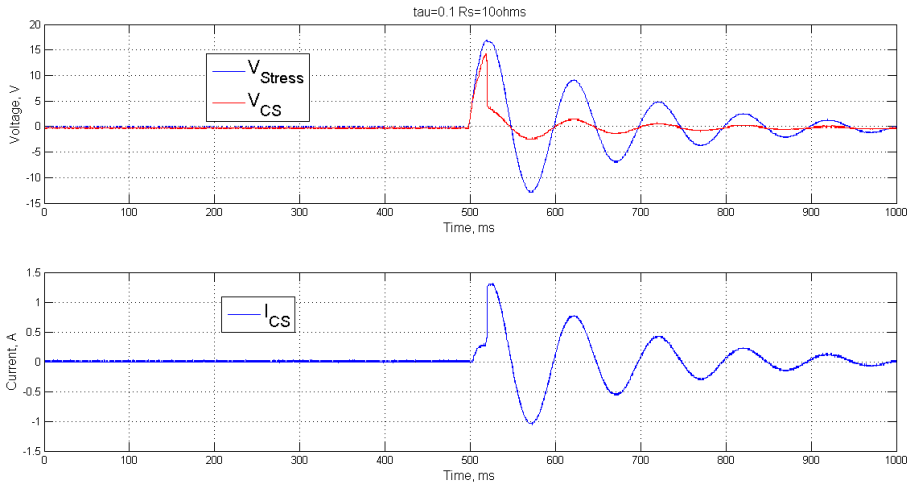


Figure 2-53. Résultats de test du TDA8007
avec EOS en forme d'onde sinusoïdale amortie pour V_{dd}=5V

2.4.7. Essais complémentaires

2.4.7.1. Introduction

Lors des EOS effectués avec une onde carrée, il était apparu que le courant I_{CS} pouvait dépasser 1A (voir Figure 2-39, Figure 2-43, Figure 2-44 et Figure 2-48). Pour la compréhension des dégradations du CI, il est important de savoir par quels chemins passe ce courant. En effet pour le TDA8007, il existe plusieurs chemins qui sont :

- Le passage par la diode de clamp du bas qui aurait atteint sa tension d'avalanche,
- Le passage par la diode de clamp du haut conduisant en direct,

En cas de conduction de la diode du haut, le courant peut passer par :

- La capacité de découplage de l'alimentation jusqu'à ce qu'elle soit chargée à V_{CS}-V_D,
- L'alimentation si elle est présente et si elle peut absorber du courant,
- Le « Power Clamp » s'il a atteint son seuil de déclenchement.

Pour obtenir des informations sur le passage du courant de stress et connaissant le comportement du circuit entre les broches CS/GND, il a été décidé d'effectuer les essais suivants :

- Stresser avec une onde carrée le composant entre les broches $V_{DD/GND}$ et $V_{DD/CS}$,
- Caractériser le composant en statique entre les broches $V_{DD/GND}$ et $V_{DD/CS}$.

2.4.7.2. Résultats de stress sur V_{DD}/GND par EOS en forme d'onde carrée

Cet essai de stress entre les pins $V_{DD/GND}$ permet de voir le comportement I(V) dynamique du transistor « Power Clamp » bien que la capacité de découplage d'alimentation soit toujours présente. En ce qui concerne les deux diodes de clamp, on supposera qu'elles n'interviennent pas car polarisées en inverse et probablement hors de leur zone d'avalanche. Les paramètres du stress sont {V_{stress}=16,6V, PW=10ms, R_s=10Ω}. Dans ce cas, la broche CS est laissée non connectée, l'alimentation continue +5V est remplacée par la source de stress. Le schéma équivalent est représenté sur la Figure 2-54.

Les réponses transitoires obtenues sont indiquées sur la Figure 2-55. Pendant la phase correspondant au temps de montée de V_{stress}, on remarque que I_{DD} se comporte comme le courant de charge à travers la capacité de découplage de l'alimentation. Quand V_{DD} atteint 11,2V, le Power Clamp s'enclenche et fini par subir le courant I_{DD} qui peut atteindre une amplitude égale à 0,54A. Lors de la phase du temps de descente de V_{stress}, le courant dans le Power Clamp diminue jusqu'à devenir nul quand V_{stress} est égale à la tension de seuil du Power Clamp. Ensuite c'est la capacité de découplage d'alimentation qui se décharge provoquant à son tour un courant I_{DD} négatif. Un stress analogue avec V_{stress}=13,4V a été généré. Dans ce cas, la tension de déclenchement du Power Clamp était de 11.8V soit 5% de différence imputable à la dispersion des composants et le courant passant le power clamp était de 0,16A.

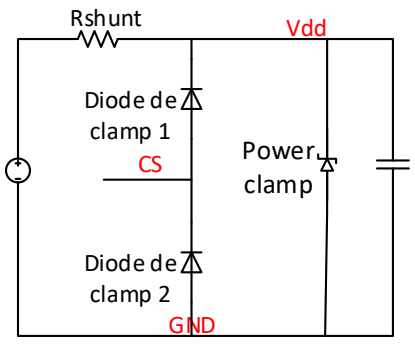


Figure 2-54. Schéma équivalent du TDA8007 pour le stress entre V_{DD} et GND

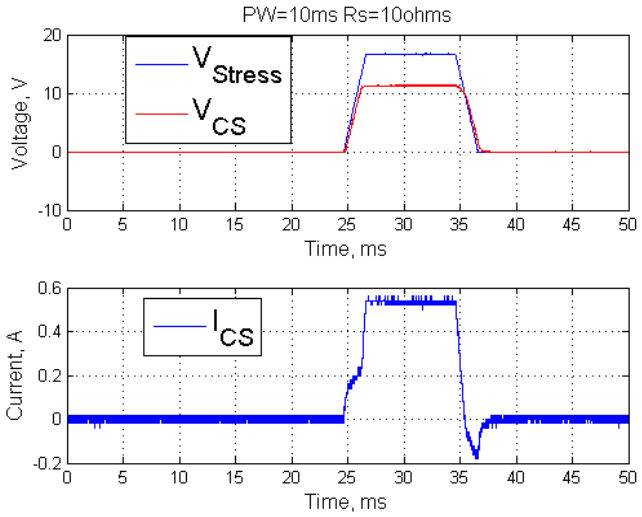


Figure 2-55. Résultats du stress du TDA8077 entre V_{DD} et GND (No. 90)

2.4.7.3. Résultats de stress sur V_{DD}/CS par EOS en forme d'onde carrée

Dans ce cas, l'alimentation continue V_{dd}=+5V a été remplacée par la source d'EOS. Ensuite, la broche CS a été mise à la masse. La broche GND a été laissée à vide. Le schéma équivalent est représenté sur la Figure 2-56. Cet essai de stress entre les pins V_{DD}/*CS* est assez proche du précédent car on retrouve la diode du haut en inverse au lieu des deux en série, la capacité de découplage d'alimentation et le Power Clamp qui se retrouve en série avec la diode du bas polarisée en direct. Durant les tests, les paramètres du stress sont {V_{stress}=16,6V, *PW*=10ms, R_s=10Ω}.

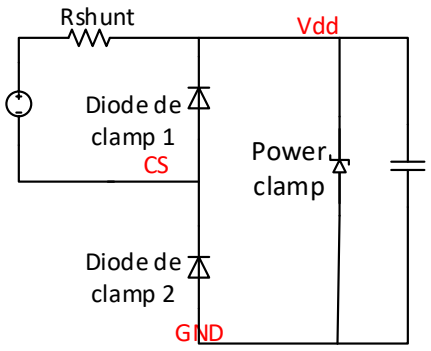


Figure 2-56 : Schéma équivalent du TDA8007 pour le stress entre V_{DD} et V_{CS}

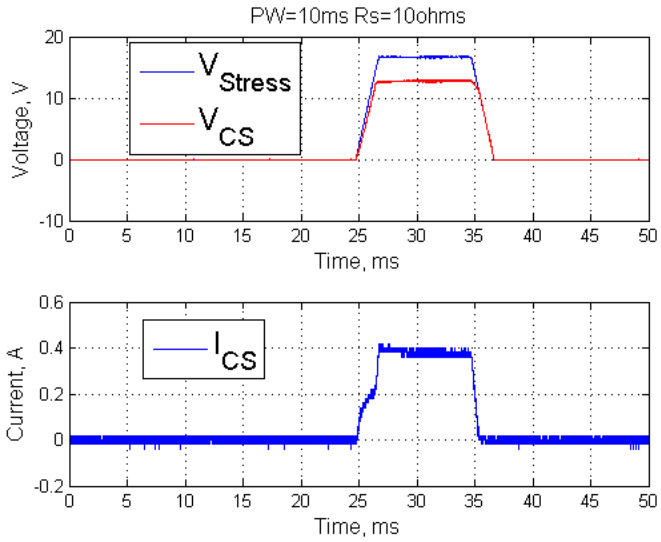


Figure 2-57 : Résultat de test EOS du TDA8007 avec V_{dd}-V_{cs} (No. 91)

Les réponses transitoires correspondant à ce stress sont représentées sur la Figure 2-57. On retrouve la charge de la capacité pendant le temps de montée de V_{stress}. Quand V_{DD} atteint 12,8V (soit typiquement 12V de seuil de déclenchement du Power Clamp augmentés de la chute de tension de la diode du bas, environ 0,6V), le Power Clamp s'enclenche et change ainsi le courant I_{DD} jusqu'à atteindre une amplitude de 0,4A. Quand V_{stress} diminue et atteint 12,8V, le courant I_{DD} s'annule, on ne pourra pas réaliser du courant I_{DD}<0 à cause de la diode du bas.

2.4.8. Caractérisation EOS du TDA8007 après stress

Pour caractériser les composants TDA8007 dégradés due aux stress OVS (« Over Voltage Stress »), trois mesures de I(V) ont été réalisées sur les pins CS-GND, $V_{DD\text{-}CS}$ et $V_{DD\text{-}GND}$. Avec ces mesures, nous pouvons constater les caractéristiques des diodes de protection ESD et le power clamp GGNMOS après stress. En même temps, l'alimentation et la masse ont été supprimées. La mesure des

caractéristiques I(V) a été effectuée deux par deux entre les trois points pour déterminer l'endroit de dégradation après stress. Le schéma équivalent est donné dans la Figure 2-58.

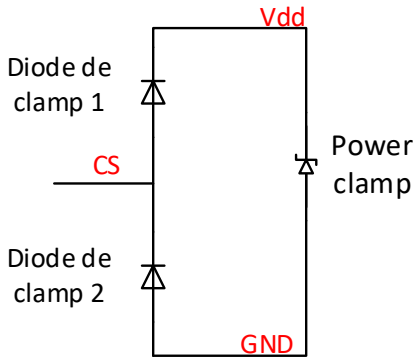


Figure 2-58 : Schéma équivalent du TDA8007 après avoir supprimer l'alimentation et la masse

On mesure d'abord un TDA8007 avant stress pour récupérer les caractéristiques initiales visibles sur les figures Figure 2-59, Figure 2-60 et Figure 2-61. En mesurant les points CS-GND, on peut constater la caractéristique de la diode de protection ESD 2. Comme convenu, le résultat obtenu correspondait au comportement d'une diode polarisée en inverse. Ensuite, on mesure les points CS-V_{dd} pour voir la diode de protection ESD 1. Encore une fois, le résultat obtenu correspond bien au comportement d'une diode polarisée en directe. En plus, on mesure les points $V_{DD\text{-}GND}$ pour voir le GGNMOS qui fonctionne comme une diode Zener. On peut retrouver la tension de clamp à 12,5V. Après, on mesure trois circuits déjà détériorés après stress dus aux trois différents modes de stress : avec alimentation, sans alimentation et alimentation reliée à la masse. Comme le montre le résultat de la Figure 2-62, on peut voir que les diodes de protection ESD 2 ont été détériorées dans les cas avec et sans alimentation et se comportent comme des résistances très faibles.

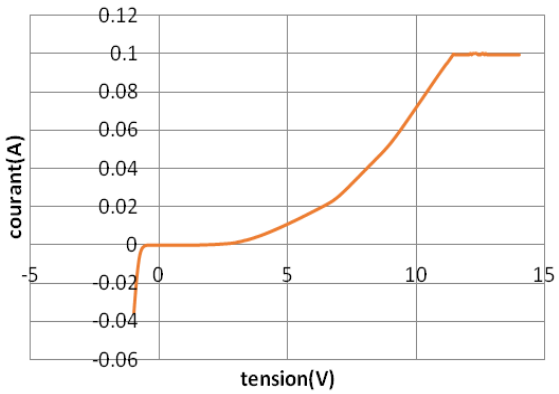


Figure 2-59 : Caractéristiques I(V) du TDA8007 entre CS-GND avant stress

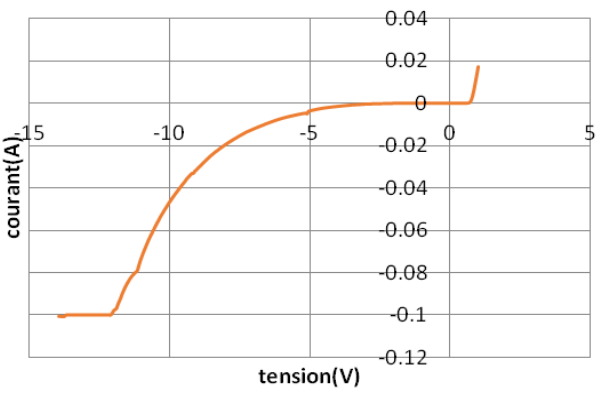


Figure 2-60 : Caractéristiques I(V) du TDA8007 CS-V_{DD} avant stress

Cependant la Figure 2-63 nous explique que les diodes de protection ESD 1 ont aussi été dégradées dans le cas des trois composants mais pas totalement détruites. En s'appuyant sur la Figure 2-64, on peut voir que les GGNMOS fonctionnent correctement pour les trois composants. Enfin, on constate que la tension de clamp n'a subi aucune variation notable.

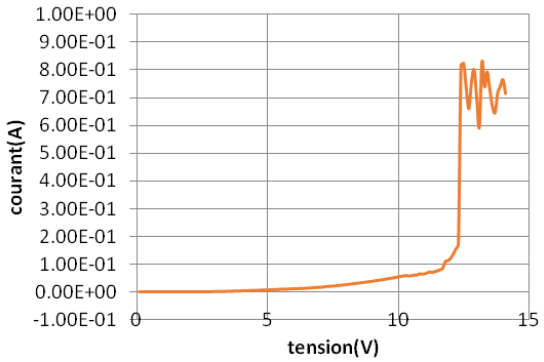


Figure 2-61 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} avant stress

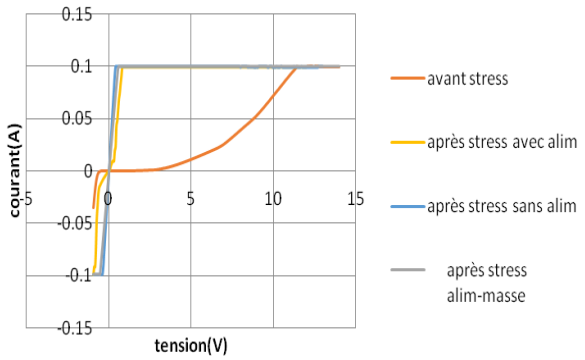


Figure 2-62 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} après stress

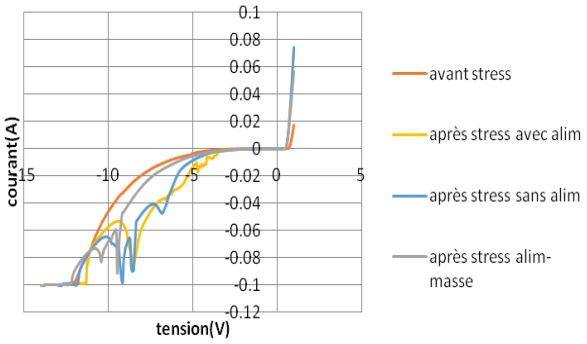


Figure 2-63 : Caractéristiques I(V) du TDA8007 entre V_{CS}-V_{DD} après stress

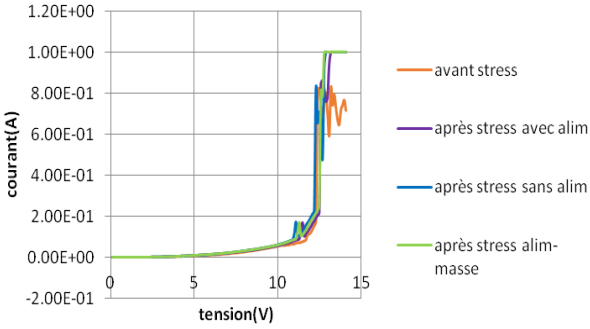


Figure 2-64 : Caractéristiques I(V) du TDA8007 entre V_{DD-GND} après stress

2.5. Conclusion du Chapitre 2

Grâce aux essais en stress EOS présentés dans le chapitre 2, nous avons pu mettre en évidence, d'un point de vue qualitatif, des phénomènes de dégradation par EOS. Deux modes de dégradations de la diode Zener : la fusion du fil de bonding pour un stress en direct et le déclenchement de la seconde avalanche pour un stress en inverse. Un mode de dégradation de la broche CS du TDA8007 qui conduit à un court-circuit entre cette broche et la masse.

Ces hypothèses sur les modes de dégradations seront validées dans le chapitre 3 grâce à des analyses de défaillance. Les résultats quantitatifs du chapitre 2 (tension, courant, forme d'onde) seront utilisés dans le chapitre 4 pour établir les modèles de comportement des deux composants testés face aux stress EOS.

Chapitre 3 : Analyse microscopique de défaillance

Résumé du Chapitre 3

Des analyses de défaillances des composants ayant subi des EOS décrits dans le chapitre 2 sont proposées dans ce chapitre. Des résultats permettant de comprendre le mécanisme de dégradation sont présentés et interprétés. Cette analyse de défaillance permet de localiser et comprendre les sources de défaillance et l'état de fiabilité des composants.

3.1. Introduction

À partir des essais réalisés et résultats obtenus dans le chapitre précédent, des analyses plus axées sur les mécanismes de dégradation au niveau électrique voire à l'échelle physique du semi-conducteur sont proposées. Ces analyses sont suggérées dans le but de comprendre d'une manière plus approfondie le changement de comportement de la diode Zener et du CI considérés comme DUT dans le chapitre précédent. Les influences d'EOS durant et après les tests sont interprétés et commentés. Pour ce faire des analyses de défaillance des états de ces circuits visualisées avec des microscopes acoustiques, à balayage d'électrons, à rayon X et optique seront proposées dans ce chapitre. Les résultats de ces analyses nous permettent de définir les caractéristiques électriques des composants étudiés. Ces comportements seront étudiés en fonction du comportement thermique transitoire qui s'est produit par auto-échauffement dû aux EOS.

3.2. Analyse de défaillance de la diode Zener BZX84-B6V8 après EOS

3.2.1. Mécanisme de dégradation pendant le stress

La Figure 3-1 présente l'allure des tensions de test (en noir) et vue aux bornes de la diode (en couleur). Pour {R_s=5Ω, V_{stress}=17,4V, PW=3ms}, il apparaît une chute de tension inverse V_d lorsque V_{stress} > V_z=6,8V. La caractéristique I(V) transitoire correspondante est tracée dans la Figure 3-2. Pour interpréter la réponse EOS au niveau de V_d, l'allure de la réponse transitoire de l'EOS a été subdivisée en sept zones différentes [J1] :

- Dans la première zone, V_{stress} n'atteint pas V_z. La tension de la diode V_d poursuit la tension de stress jusqu'à la tension de régulation à V_z=6,8V car le courant de saturation inverse circulant dans le circuit est trop petit. Ce courant est de l'ordre de nA.

- Dans la deuxième zone, V_{stress} dépasse V_z. La tension aux bornes de la diode augmente avec le courant selon une pente due à une faible résistance dynamique. Cet aspect correspond physiquement au premier phénomène de claquage dû à l'ionisation par impact qui est dominant pour les jonctions avec la tension de claquage supérieure à $6Eg/q$ (6,72V pour silicium). Ainsi, le courant augmente à cause de l'augmentation du nombre de porteurs dus à l'ionisation par impact et la jonction fonctionne comme une petite résistance.

- Dans la troisième zone, V_{stress} correspond à l'état stable. La diode est dans la condition d'auto-échauffement. Comme la température de la jonction augmente, les porteurs doivent lutter contre plus des interactions d'électrons et, par conséquent, l'ionisation par impact diminue et le courant diminue aussi lors que la tension de diode augmente.

- Dans la quatrième zone, la concentration de porteurs dans la zone de déplétion est dominée par l'ionisation par impact. Mais, comme la température de jonction est suffisamment élevée, on assiste aussi à un phénomène de la génération thermique. À cette température, la conductivité de la jonction augmente brutalement et atteint une nouvelle valeur d'état stable dans 200µs. En conséquence, la tension de diode diminue naturellement lorsque le courant augmente. Ce phénomène correspond au deuxième claquage de la jonction. On peut remarquer que, lorsque ce phénomène commence, la diode dissipe une puissance d'environ 15W, qui est supérieure à la spécification du constructeur : de 4W à 6W pour une seule impulsion de 5ms selon la température initiale de jonction.

- La cinquième zone commence à partir du bord de descente de la tension de stress jusqu'à la tension de Zener. Le courant et la tension sont liés par une relation linéaire avec une pente constante correspondant à une faible résistance dynamique. Ce phénomène peut être expliqué par la suite. Comme la température de jonction ne peut pas diminuer instantanément, la conductivité de la jonction est maintenue de la même manière que dans la précédente zone. Mais comme la dissipation de diode baisse, la génération thermique diminuera aussi et la concentration de porteurs atteindra une valeur plus petite. Cette réponse thermique transitoire prend environ 400µs pour ce test expérimental de seule impulsion.

- Dans la sixième zone, le phénomène de génération thermique est plus dominant. Dans ce cas, le champ électrique n'est pas suffisamment fort pour produire l'effet d'ionisation par impact.

Ainsi, la conductivité du matériau diminue et la jonction tend à revenir de son comportement de I(V) normal.

- Dans cette dernière zone, la sensibilité du banc ne nous permet pas d'évaluer précisément le courant de diode mais il ressemble à un courant de saturation pour une polarisation inverse. Comme la température de jonction reste élevée, sa valeur doit plus élevée que lors de la première zone de l'impulsion.

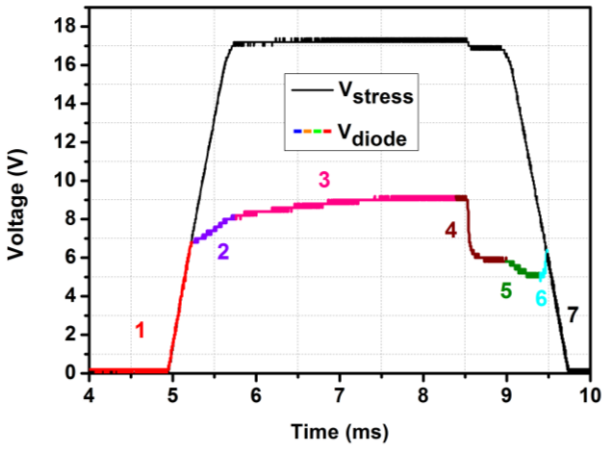


Figure 3-1. Résultat de test d'une diode BZX84B6V8 stressée par une impulsion carrée avec {V_{stress}=17,4V, R_s=5Ω, PW=4ms}.

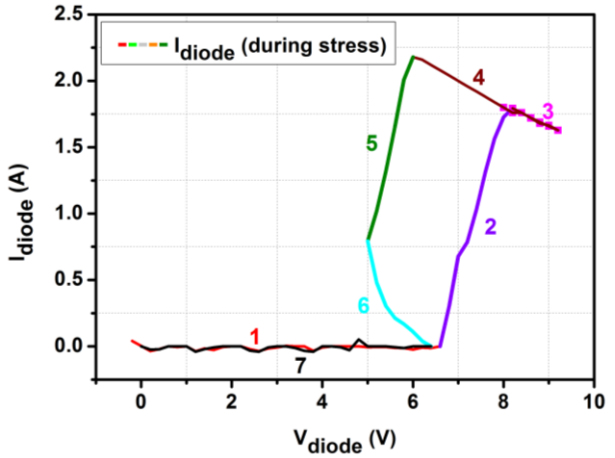


Figure 3-2. Caractéristique I(V) transitoire correspondant à la Fig. 3-1.

3.2.2. Dégradation d'EOS par l'amplitude de stress

Durant ce cas, la largeur d'impulsion *PW* a été fixée à 4ms et R_s égale à 5Ω. L'amplitude de stress a été augmentée progressivement de 0 à 17,4V. Le résultat de test pendant stress est affiché en Figure 3-3. Après avoir dépassé V_{stress}=17,2V, il a été constaté que la diode présente une signature EOS correspondant à une dégradation électrique. En continuant à augmenter l'amplitude de V_{stress}, nous pouvons constater visiblement l'accroissement de courant sur la caractéristique I(V) pendant le stress comme l'explique la Figure 3-4. Ce phénomène de dégradation est causé par la quantité de l'énergie dissipée en chaleur déposée sur la jonction de la diode.

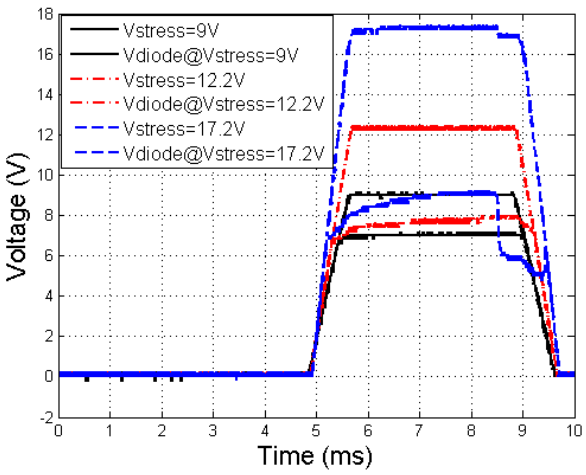


Figure 3-3. Résultats de test d'influence d'amplitude d'EOS carré.

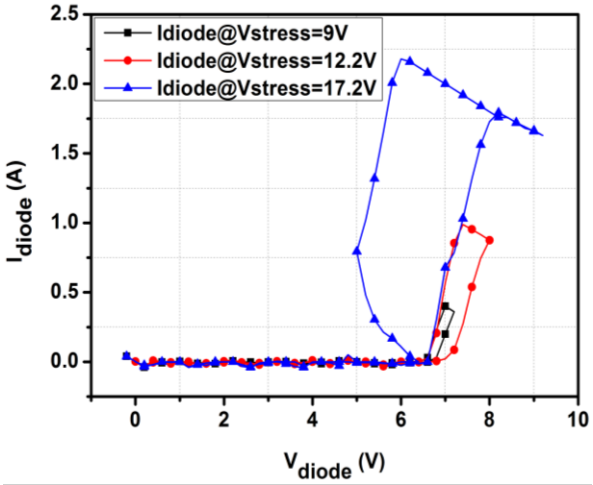


Figure 3-4. Caractéristique I-V pendant l'EOS correspondant à la Fig. 3-3.

3.2.3. Dégradation de la diode en fonction de la durée de l'EOS

Comme déduit dans le précédent chapitre en paragraphe 2.3.5 pour R_s=5Ω et V_{stress}=15V, aucune dégradation n'est observée lorsque *PW*=4ms. Par contre, lorsque *PW* a été augmentée de 5ms à 8ms avec un pas de 1ms, il a été constaté qu'une dégradation est apparue à *PW*=8ms. Le résultat illustratif de ce constat est présenté par la Figure 3-5.

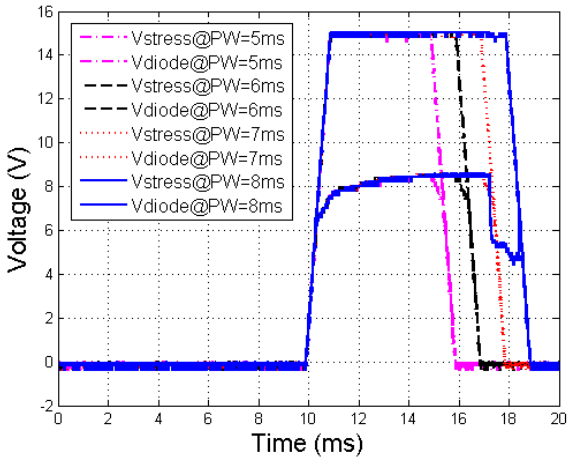


Figure 3-5. Résultats d'analyse d'influence de durée d'EOS.

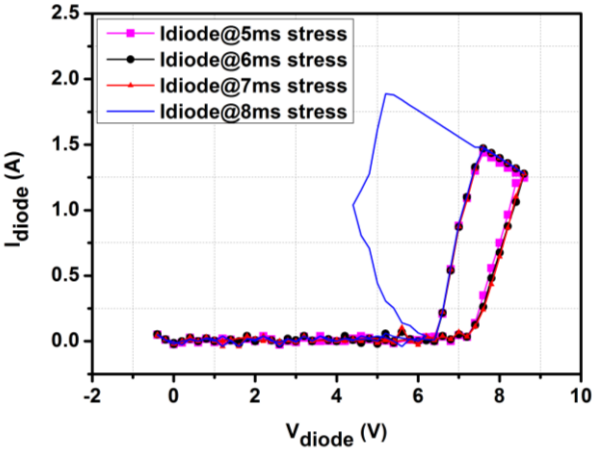


Figure 3-6. Caractéristique I-V pendant stress correspondant à la Fig. 3-5.

À noter qu'il n'y a pas de différence signifiante avant la dégradation entre les courbes caractéristiques I(V) dans la Figure 3-6 car ce test est effectué dans le domaine temporel. Ce test nous confirme qu'avec un EOS à faible amplitude, il faut que PW soit plus importante pour que la jonction accumule une énergie de niveau suffisante pour générer un changement de comportement significatif.

3.2.4. Analyse de dégradation de la diode en fonction de la périodicité et de l'amplitude de l'EOS

Avec V_{stress}=17,4V, la diode sous test a été stressée par EOS constitués par trois impulsions répétitives. Chaque impulsion EOS est caractérisé par les paramètres {V_{stress}=17,4V, R_s=5Ω, PW=4ms}. La Figure 3-7 montre que la dégradation apparait à des instants critiques plus réduits dans les trois impulsions. Ce comportement s'explique fondamentalement par l'accumulation de chaleur déposée par effet Joule au niveau de la jonction qui n'a pas été suffisamment évacuée pendant 3ms avant l'arrivée des prochaines impulsions. Sur la Figure 3-8, nous pouvons constater le décalage des résistances dynamiques à cause de cet effet.

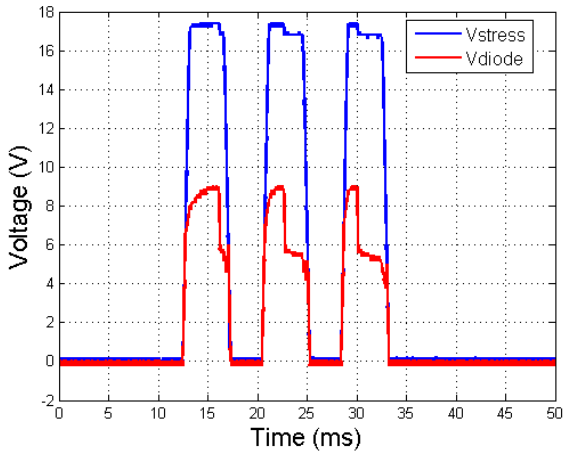


Figure 3-7. Résultats d'analyse d'influence de la périodicité d'EOS.

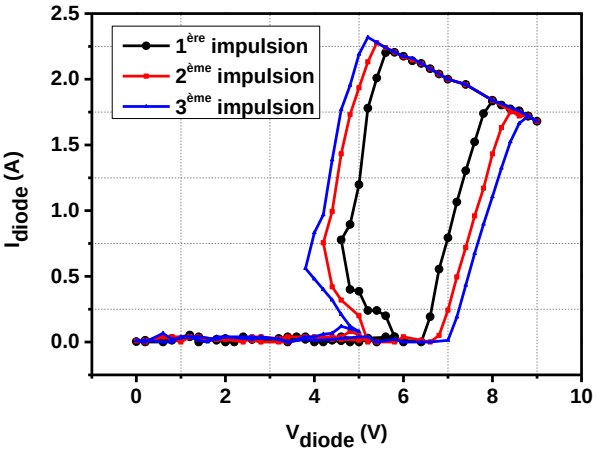


Figure 3-8. Caractéristiques I(V) pendant stress correspondant à la Fig. 3-7.

Ce résultat expérimental nous suggère que la puissance du signal EOS correspondant à la vitesse de dépôt de l'énergie sur le composant sous test constitue un des facteurs importants pour la dégradation de la diode. En conclusion de cette analyse, la signature EOS apparue a été principalement causée par l'auto-échauffement de la diode correspondant à une variation significative de la température de la jonction. Le changement du comportement électrique de la diode est apparu lorsque la température induite par l'énergie nette déposée sur la jonction de la diode dépasse la limite critique. Cette valeur critique est liée au changement des caractéristiques intrinsèques à savoir la résistance électrique de la diode. Ce changement de comportement électrique se traduit par la dégradation observée comme la chute de la tension Zener.

3.2.5. Dégradation de la diode pour différentes formes d'onde d'EOS

Une des questions ouvertes au sein des ingénieurs concepteurs et fabricants des composants électroniques au début de ce travail de thèse, c'est l'influence de la forme d'onde qui peuvent représentés des EOS sur le comportement électrique des composants électroniques. Pour répondre à cette question, nous avons mené une étude avec des tests EOS à différentes formes d'onde dont les résultats ont rapportés dans les paragraphes 2.3.5, 2.3.6 et 2.3.7 du chapitre précédent et ont fait l'objet des articles suivants [CI2][CI2][CI3].

Pour mettre en évidence l'influence de la forme d'onde EOS, deux tests EOS ont été réalisés avec des signaux en formes d'onde double-exponentielle et sinusoïdale amortie. Comme en témoigne les figures Figure 3-9 et Figure 3-10, nous pouvons constater que, par rapport à la forme d'onde carrée, à amplitude égale, il faut que la largeur d'impulsion *PW* soit beaucoup plus grande pour observer un phénomène de dégradation. Si on souhaite considérer les mêmes *PW*, il faut diminuer la résistance R_s afin d'augmenter le courant. Cette opération est nécessaire car durant le test, l'amplitude de tension maximale de notre amplificateur a été atteinte. Les signatures EOS observées dans les figures Figure 3-9 et Figure 3-10 s'expliquent par l'effet du dépôt d'énergie venant d'EOS en forme d'onde double-exponentielle qui se fait d'une manière plus lente que la forme d'onde carrée. Il faudra souligner qu'avec une même durée de stress le temps de montée et le temps de descente sont largement plus élevés. D'ailleurs, un autre point aussi intéressant c'est qu'après le déclenchement de la dégradation pendant le stress, la tension de diode est aussi stable malgré la tension de stress atteint la phase décroissante. Ce constat nous illustre que la résistance de jonction dynamique n'est pas constante. Donc, la génération thermique commence à diminuer, la conductivité de jonction diminue. Ce qui stabilise ensuite la tension de diode.

Comme introduite plus loin, l'effet des EOS en forme d'onde sinusoïdale amortie sur la diode Zener a aussi été étudié. Le résultat de l'analyse transitoire est présenté par la Figure 3-11. On constate que le courant en direct est 2 fois plus important que celui en inverse. La diode est ainsi dégradée en direct due à la fonte de fil de bonding. Ce constat fera l'objet de l'analyse de défaillance par rayon X des prochains paragraphes.

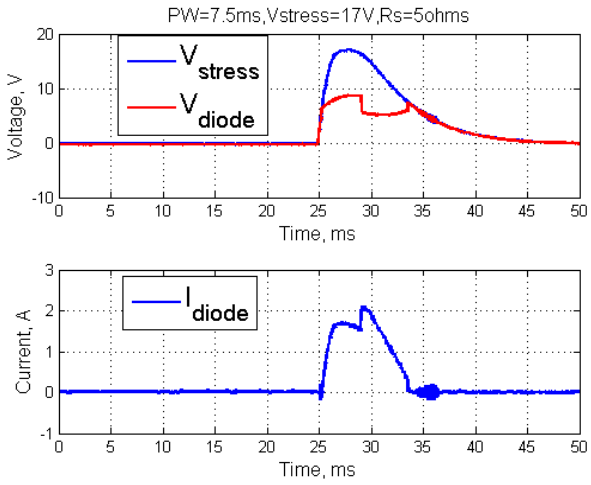


Figure 3-9. Réponse transitoire de la diode pendant l'EOS en forme d'onde double-exponentielle.

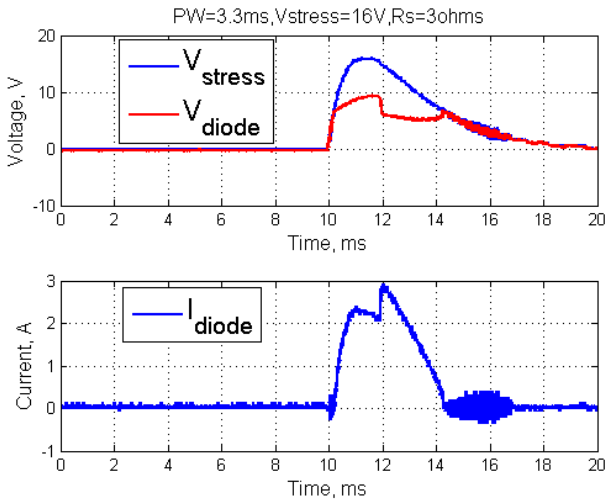


Figure 3-10. Réponse transitoire de la diode après EOS en forme d'onde double-exponentielle.

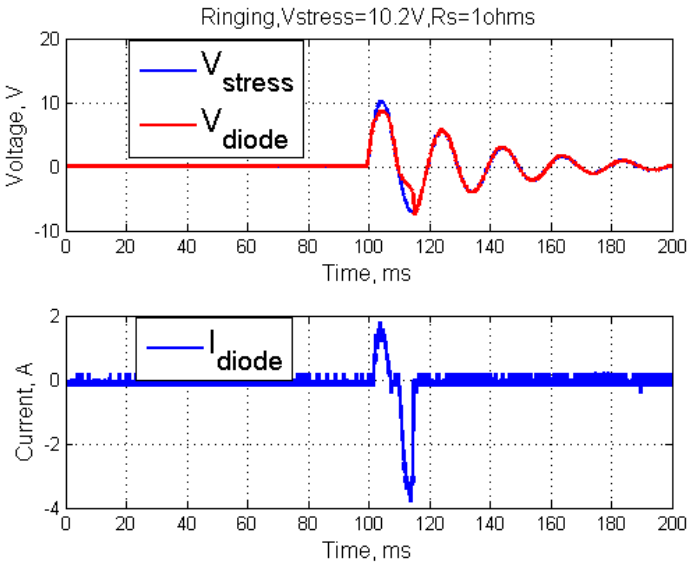


Figure 3-11. Réponse transitoire de la diode après EOS en forme d'onde sinusoïdale amortie.

3.2.6. Analyse de défaillance

Pour mieux comprendre les résultats empiriques de la précédente sous-section, des analyses de défaillance microscopiques ont été réalisés avec les différents échantillons de diode après avoir subi des EOS. Les résultats obtenus seront présentés et interprétés dans les prochains paragraphes.

3.2.6.1. Reproduction d'une dégradation EOS : fusion d'un fil de bonding

3.2.6.1.1. Choix du composant

Parmi les véhicules de tests disponibles dans le projet SESAMES, le composant le plus adapté à cette expérience est la diode Zener BZX84-B6V8 dont une vue aux rayons X est donnée sur la Figure 3-12. Sur cette vue, on distingue le fil de bonding qui relie l'anode de la Zener à la borne extérieure 1 ; la cathode étant la face inférieure du chip relié à la borne 3.

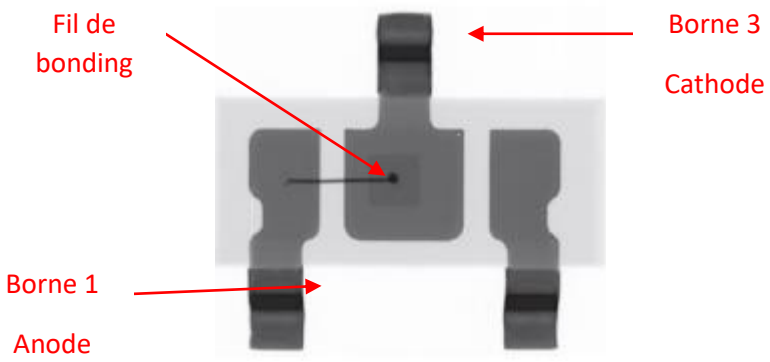


Figure 3-12 : Vue aux rayons X de la Zener BZX84-B6V8.

Afin de rompre le fil de bonding sans provoquer d'autres modes de dégradation, la solution la plus simple est de polariser la diode en direct et d'y faire circuler un courant important. Cet essai a été réalisé en utilisant la forme d'onde sinus amorti qui polarise la diode en inverse sur son alternance positive et la diode en direct sur son alternance négative.

3.2.6.1.2. Résultat du stress

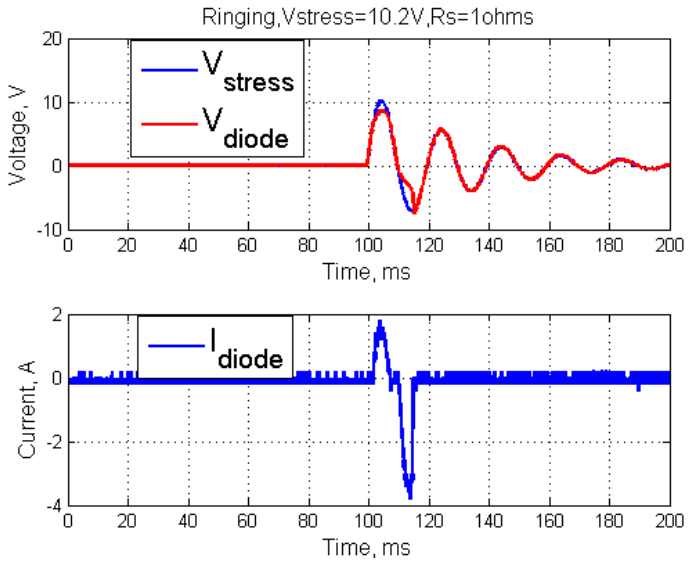


Figure 3-13 : Rupture de bonding-diode Zener BZX84-B6V8.

Ce stress a été réalisé avec une tension de stress maximale de 10,2V et R_s=1Ω. Pendant l'alternance positive, la diode est polarisée en inverse et n'est pas dégradée. Pendant l'alternance négative la diode est polarisée en direct et on voit sur la Figure 3-13 qu'à partir de t=115ms, le courant dans la diode tend très rapidement vers 0 et reste à cette valeur malgré une valeur non nulle de la tension à ses bornes. Cela veut dire que la diode se comporte comme un circuit ouvert.

3.2.6.1.3. Analyses de défaillance

L'analyse de défaillance après stress de cet échantillon, présenté sur la Figure 3-14, montre effectivement une fusion du fil de bonding. Un test similaire a été fait sur un autre échantillon et a entrainé lui aussi la rupture du fil de bonding.

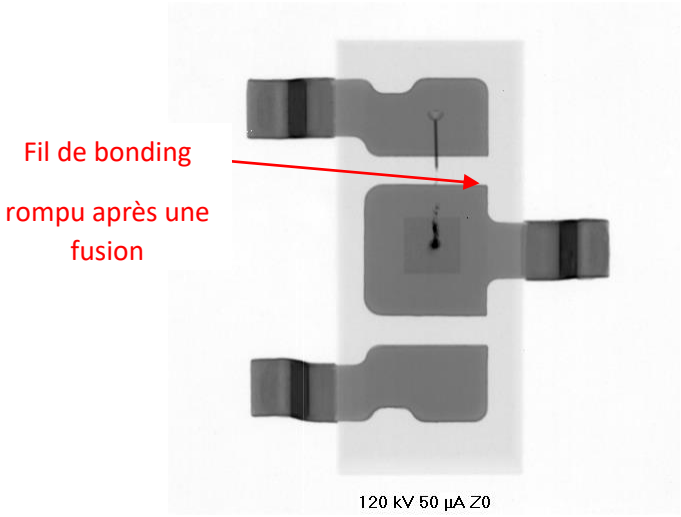


Figure 3-14 : Vue aux rayons X - Rupture de bonding-diode Zener BZX84-B6V8.

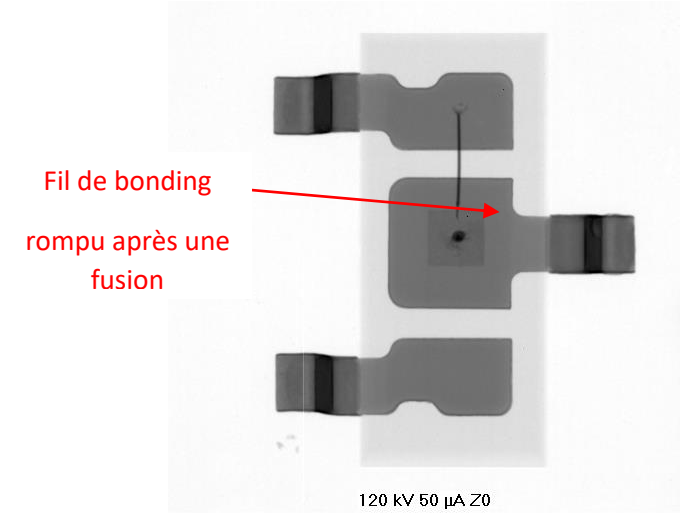


Figure 3-15 : Vue aux rayons X- Rupture de bonding-diode Zener BZX84-B6V8.

En revanche la vue aux rayons X, présentée sur la Figure 3-15 est légèrement différente car le fil de bonding n'a pas fondu en son milieu comme dans le cas précédent mais plus près du chip et repose dessus en provoquant un court-circuit entre anode et cathode.

3.2.6.1.4. Conclusion

Pour la diode Zener BZX84-B6V8, la conduction en direct de la jonction provoque la défaillance du fil de bonding entre l'anode et la borne de connexion de l'anode. Cette fusion du fil de bonding est obtenue pour une valeur crête du courant direct d'environ 3,5A, valeur très nettement supérieure à la valeur permanente admissible pour le courant direct fixée par le constructeur qui est de 2A. En affinant le raisonnement, on peut calculer le courant moyen vu par le fil de bonding avant fusion :

- En conduction inverse, le bonding est parcouru par un courant sinusoïdal d'amplitude 1,5A pendant 10ms soit environ 1A efficace,

- En conduction directe, le bonding est parcouru par un courant sinusoïdal d'amplitude 3,5A pendant 5ms soit environ 2,5A efficace.

Le courant moyen avant fusion est donc d'environ 1,5A pendant 15ms, instant ou la fusion apparait. On ne peut malheureusement pas calculer l'énergie reçue par le bonding car on ne connait pas sa résistance. En ce qui concerne la signature « électrique » de cette défaillance, le DUT se comporte un circuit ouvert avec parfois l'apparition d'un court-circuit si le fil de bonding fond à proximité de sa plage de connexion.

3.2.6.2. Reproduction d'une dégradation EOS : fusion d'une couche d'Aluminium

3.2.6.2.1. Choix du composant

Pour reproduire cette dégradation, c'est à nouveau la diode Zener BZX84-B6V8 qui a été utilisée. Cette fois la diode est uniquement polarisée en inverse grâce à une impulsion carrée positive. Différents stress ont été utilisés pour voir l'impact de l'énergie du stress sur l'ampleur de la dégradation physique.

Les échantillons concernés sont les diodes 5, 6, 11 et 12 et les stress qu'elles ont subis sont donnés dans le Tableau 3-1.

Diode	5	6	11	12
Stress	17,4V, 5Ω, Salve de 3pulses de 4ms Répétée 3 fois	17,4V, 5Ω, Salve 3pulses de 4ms Une seule fois	20V, 5Ω 1 pulse 5ms Une seule fois	20V, 5Ω 1 pulse 5ms Une seule fois

Tableau 3-1 : Stress des diodes 5, 6, 11 et 12.

3.2.6.2.2. Résultats des stress

La diode Zener 5 a subi les 2 premiers stress sans modification de sa caractéristique statique bien que le phénomène de seconde avalanche soit apparu au cours des stress. En revanche, comme on le voit sur la Figure 3-16, le 3ème stress l'a fortement endommagée car on ne retrouve plus le coude de la caractéristique d'une diode Zener.

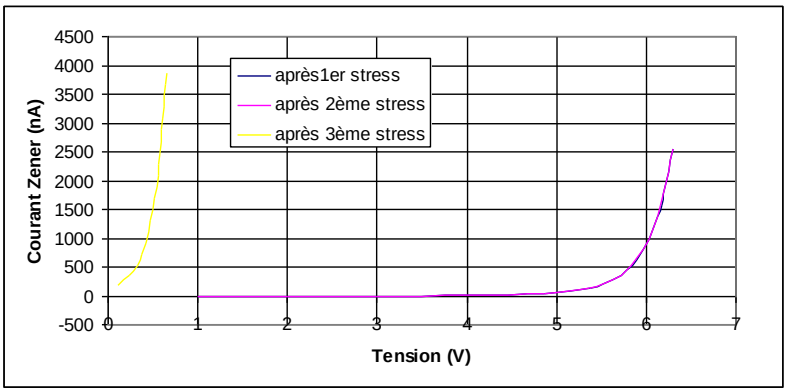


Figure 3-16 : Caractéristiques I-V de la diode Zener 5.

La diode Zener 6 a subi le stress sans modification notable de sa caractéristique statique comme on le voit sur la Figure 3-17 bien que le phénomène de seconde avalanche soit apparu au cours du stress.

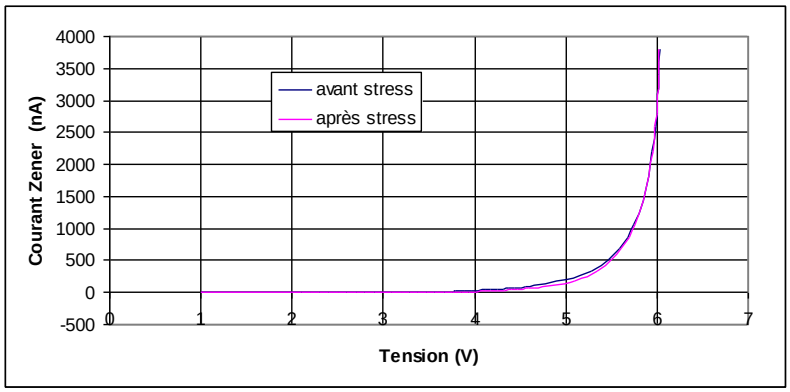


Figure 3-17 : Caractéristiques I-V de la diode Zener 6.

Les diodes Zener 11 et 12 ont été détruites en cours de stress et leur caractéristique après stress n'a pas pu être mesurée. Pour la diode 11, c'est le fil de bonding qui a fondu et la diode est en circuit ouvert. La diode 12 est-elle en court-circuit.

3.2.6.2.3. Analyse de défaillance

Pour les 4 échantillons à l'issue du dernier stress subi, des microscopies optiques ont été réalisées après ouverture du boitier pour voir l'impact du stress sur les diodes. Sur la Figure 3-18, correspondant à la diode 5, on voit que la couche d'Aluminium a effectivement fondue à cause de la température élevée provoquée par le stress et cela de façon répétée car la diode a subi plusieurs stress. Pour cet échantillon, la répétition du stress à provoquer une migration de l'Aluminium qui a entrainé l'apparition d'un fin pont métallique de forte résistance entre l'anode et la cathode de la diode qui peut expliquer la caractéristique I-V de cet échantillon.

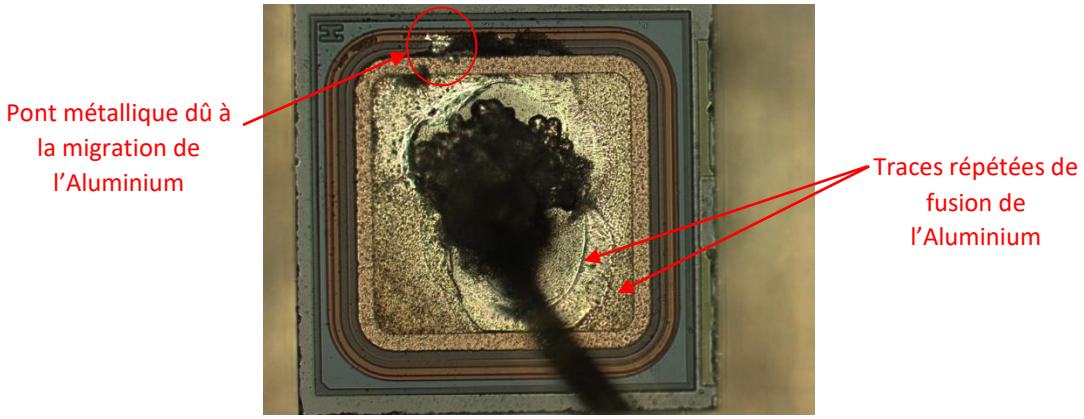


Figure 3-18 : Microscopie optique de la diode Zener 5.

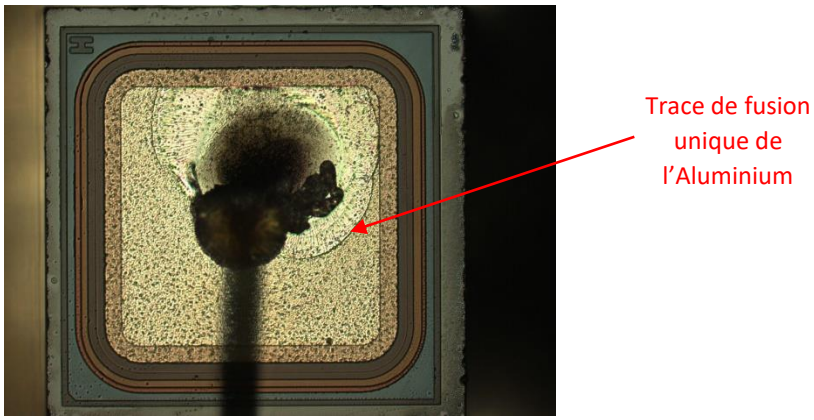


Figure 3-19 : Microscopie optique de la diode Zener 6.

Sur la Figure 3-19, correspondant à la diode 6, on voit que la couche d'Aluminium a effectivement fondue à cause de la température élevée provoquée par le stress mais cette fusion ne semble s'être produite qu'une seule fois ce que l'on peut expliquer par le fait que la diode n'a été stressée qu'une seule fois.

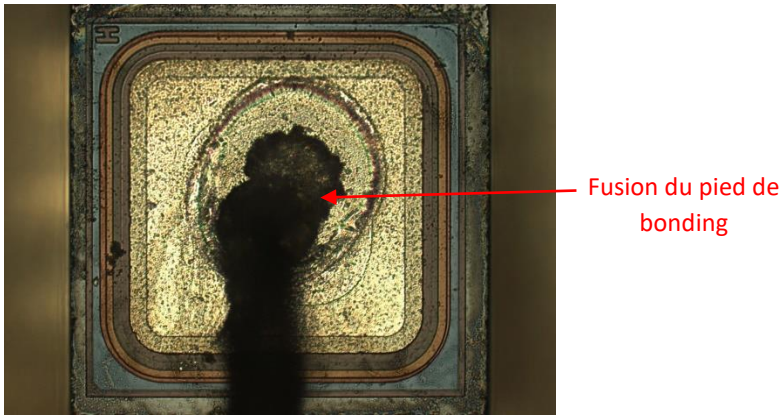


Figure 3-20 : Microscopie optique de la diode Zener 11.

Sur la Figure 3-20, correspondant à la diode 11, on voit que la couche d'Aluminium a effectivement fondue à cause de la température élevée provoquée par le stress mais cette élévation de température a été telle que le fil de bonding a fondu au niveau de sa connexion sur la couche d'Aluminium qui le contact d'anode.

Sur la Figure 3-21, correspondant à la diode 12, on voit que la couche d'Aluminium a effectivement fondue à cause de la température élevée provoquée par le stress et cette élévation de température a été telle que l'Aluminium a migré jusqu'à faire un court-circuit entre anode et cathode. Malgré les dommages qu'il a subis, le fil de bonding n'est pas rompu.

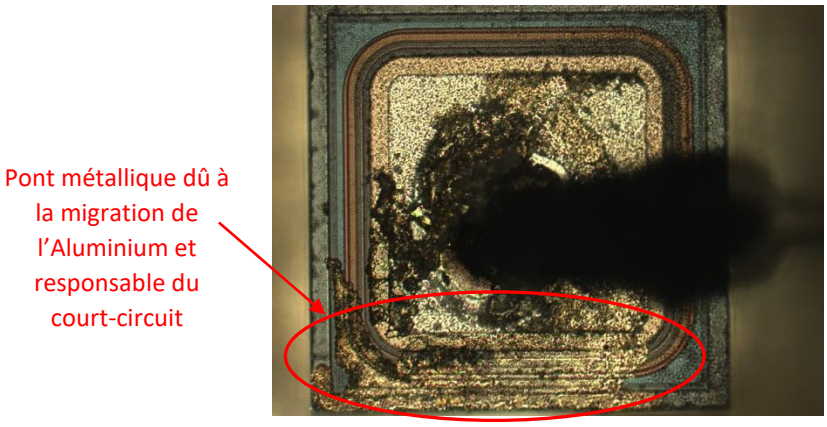


Figure 3-21 : Microscopie optique de la diode Zener 12.

3.2.6.2.3. Investigations complémentaires

Afin de confirmer que les stress opérés provoquaient bien uniquement une fusion de l'Aluminium ou éventuellement celle du fil de bonding, des stress complémentaires ont été conduits pour permettre des analyses de défaillance plus poussées. Le but de ces analyses de défaillance était de vérifier que les couches semi-conductrices de la diode n'ont été affectées par le stress. L'échantillon concerné est le numéro 39 qui a subi deux fois le stress onde carrée, 17V, 4Ω, 1 impulsion de 5ms. Ensuite, cet échantillon a subi des cross section et a été observé au microscope électronique à balayage (MEB) et analysé en composition chimique par spectrométrie EDX.

a. 1ère cross-section sans révélation des zones dopées

Cette première cross-section est situé au milieu de la zone de contact fil – pad. Sur la Figure 3-22, nous ne distinguons pas le substrat de la couche de silicium épitaxiée (de dopage différent), mais la sauce de révélation des diélectriques/métal/Si est moins agressive et permet une meilleure observation des dégradations de ces couches.

Les zones d'intérêt proches de la surface, là où les couches actives de la diode se situent, sont délimitées par les rectangles de couleur et ont fait l'objet de zooms qui sont donnés sur la Figure 3-23.

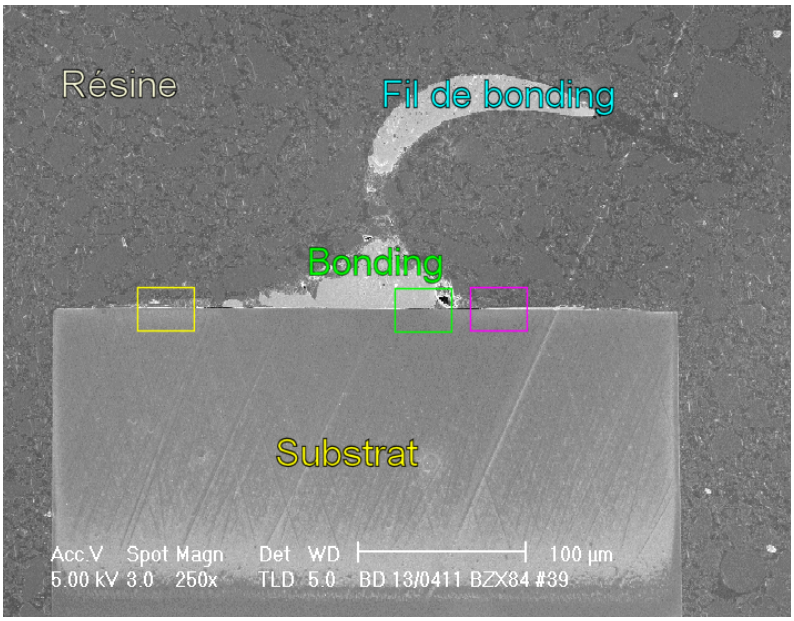


Figure 3-22 : Image d'ensemble de la diode 39.

La couche d'Aluminium reliée au fil de bonding (anode de la diode) s'est évaporée sur la majeure partie de sa surface (environ 280×280µm^2). Deux zones de fusion situées à proximité du fil de bonding ont été analysées à l'EDX et les résultats sont donnés sur la Figure 3-24.

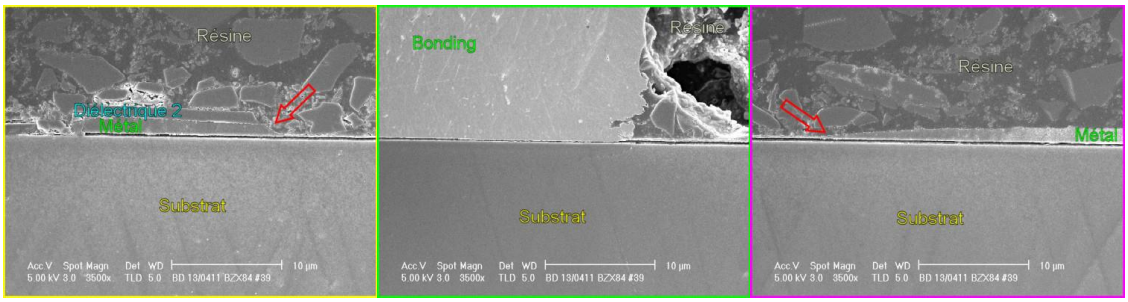


Figure 3-23 : Zooms sur trois zones proches de la surface.

Les spectres EDX de ces trois zones Fusion 1, Fusion 2 et le bonding sont superposés et montrent que les deux zones de fusion 1 et 2 sont plus riches en Al (ou Au) que le fil de bonding comme l'indique la flèche sur le pic de la raie AlK. L'image MEB montre également que la résine proche du bonding a fortement chauffé et présente des cavités signalées par la flèche sur l'image de gauche.

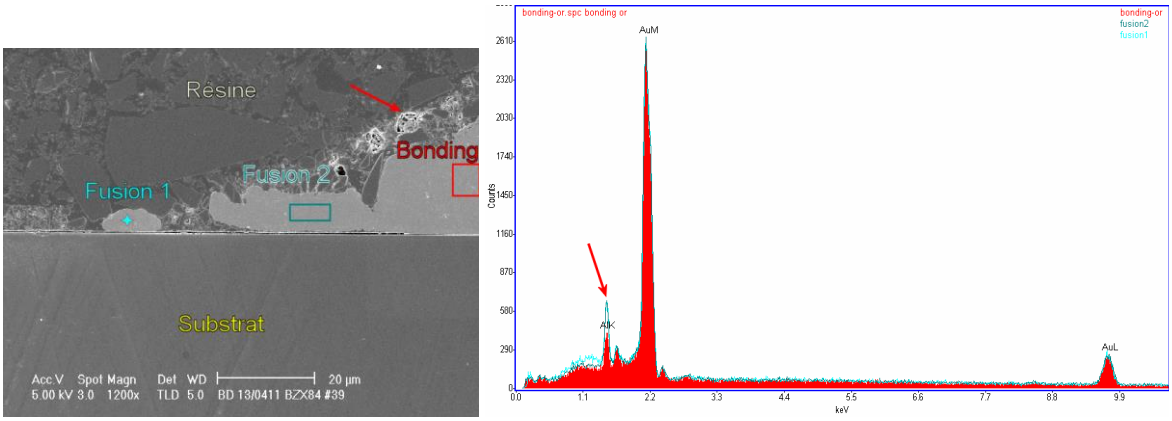


Figure 3-24 : Zoom sur le bonding et les zones de fusion du bonding - Spectres EDX associés.

b. 2nde cross-section avec révélation des zones de dopage

Afin de vérifier si les zones actives de la diode ont été détériorées ou pas, une nouvelle analyse avancée de la cross-section, suivie d'une révélation des zones de dopage, a été réalisée toujours pour les mêmes zones d'intérêt. Les résultats sont donnés sur la Figure 3-25 pour les 3 zones avec des zooms par zone sur les figures Figure 3-26 et Figure 3-28.

La topologie utilisée pour réaliser une telle diode Zener est donnée sur la Figure 3-27.

Les épaisseurs des couches les plus fines (Ti, Poly-Si, Si-p, Si-n^+) ont été évaluées à des grossissements plus élevés. Les légères variations d'épaisseurs des zones actives de la diode sont liées aux imprécisions de la mesure.

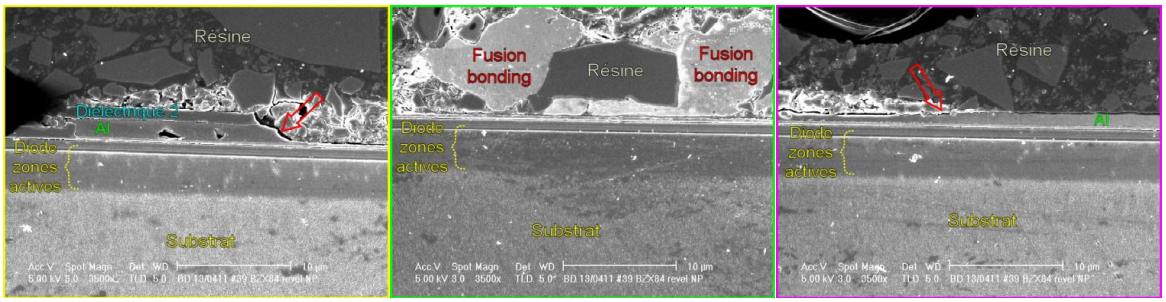


Figure 3-25 : Zooms sur trois zones proches de la surface.

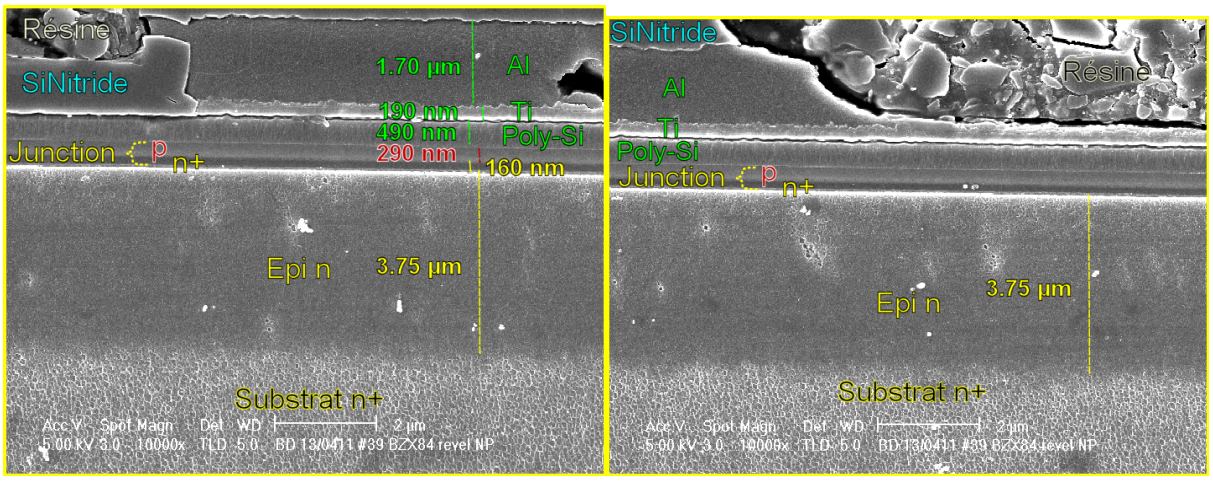


Figure 3-26 : Zooms sur la partie gauche.

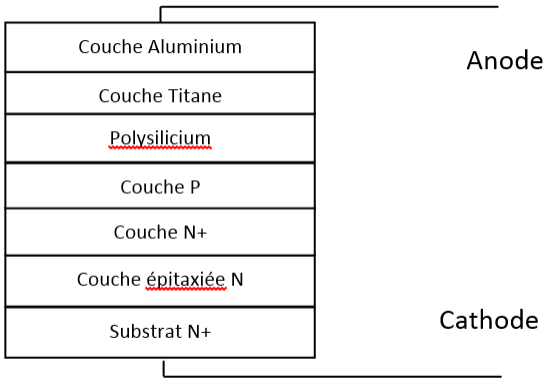


Figure 3-27 : Diode Zener-Topologie des couches.

La régularité des épaisseurs des différentes couches de la diode et donc l'absence de migration d'éléments chimiques font penser que les zones actives de la diode ne sont pas touchées et n'ont pas été modifiées par le stress. Seule est observée une fusion du PAD en Al, la couche supérieure de la diode ainsi que du fil de bonding. Donc on peut penser que les seules dégradations permanentes subies par la diode à cause du stress viennent de la fusion métallique.

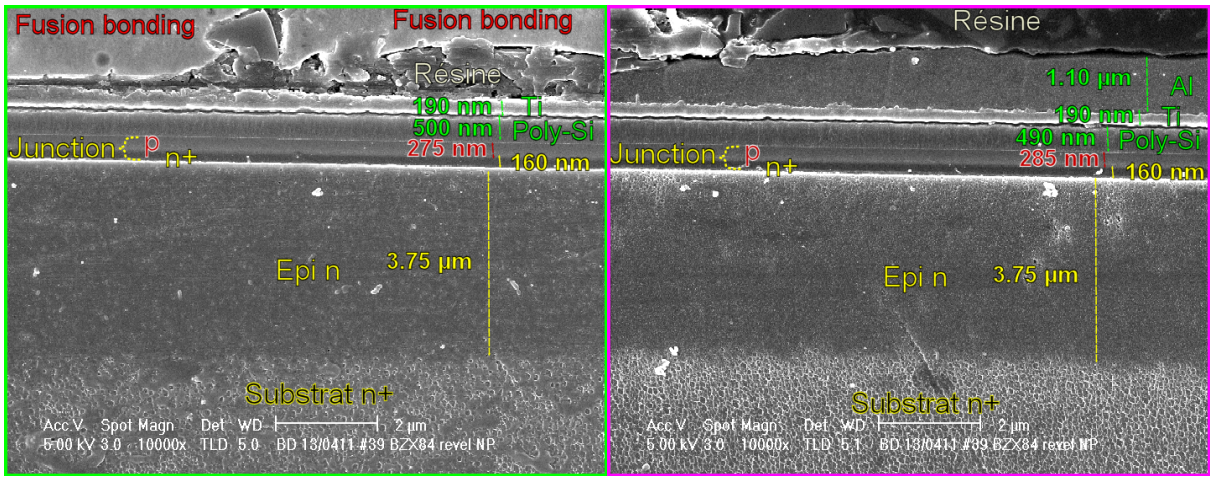


Figure 3-28 : Zoom sous la zone de fusion du bonding et la zone de début de fusion du PAD Al.

3.2.6.2.4. Conclusion

Cette expérience montre que l'on est capable de reproduire un événement EOS sur une diode Zener stressée en inverse par une impulsion. Cet événement EOS est limité à une fusion de la couche d'Aluminium en notant toutefois qu'un stress de trop grande énergie peut aussi dégrader le fil de bonding. Les autres constituants de la diode restent inchangés après ce stress.

En ce qui concerne la signature « électrique » de ce stress, elle se caractérise par une augmentation du courant inverse de la jonction avec un stress d'énergie raisonnable (par exemple 17,4V, 4ms, 5Ω, 1 fois). Si le stress est trop énergétique, le fil de bonding est affecté par ce stress et la fusion de la couche d'Aluminium est telle que la signature « électrique » peut être un court-circuit (pont d'Aluminium entre la cathode et l'anode) ou un circuit ouvert si le fil de bonding se rompt. L'identification de mode de défaillance par la signature électrique devient alors plus délicate.

3.3. Analyse de défaillance du circuit intégré CMOS TDA8007

3.3.1. Mécanisme de dégradation

Le mécanisme de dégradation du TDA8007 est principalement identique à celui de la diode Zener. Sur la Figure 3-29, l'évolution de la tension et du courant en fonction du temps de stress est représentée. Lorsque la tension V_{stress} atteint sa valeur critique, la diode du haut qui est relié à l'alimentation conduit. Au-delà de cette valeur, le courant augmente rapidement et peut passer par trois branches : le « power clamp », la capacité de découplage et éventuellement la capacité d'alimentation extérieure. Ensuite, la capacité est chargée, le courant dans le circuit est évacué par la voie « power clamp ». Par contre, à cause de la résistance parasite due au chemin électrique, le « power clamp » ne peut pas évacuer tout

le courant dans le circuit. Par conséquent, la tension V_{cs} monte rapidement et entrainant ensuite l'augmentation du courant de fuite de la diode du bas qui est reliée à la masse. Le comportement de la diode du bas varie sous condition auto-échauffement où la tension V_{cs} augmente légèrement et le courant I_{cs} diminue. Quand la température atteint sa valeur critique, la diode du bas déclenche le second claquage où la tension chute brutalement et le courant I_{cs} augmente. Ce phénomène est bien observé durant le stress de la diode Zener. Par ailleurs, dans la phase descente de la forme d'onde, il n'y aura pas de possibilité de remontée en tension car la diode du bas est déjà détériorée. La caractéristique I(V) transitoire de la Figure 3-31 illustre ce constat. Cela veut dire que le CI victime de l'EOS n'aura plus la capacité de reprendre son état de fonctionnement normal. L'analyse de défaillance après stress confirme que la diode du bas a été détériorée dans le cas où R_s=3Ω.

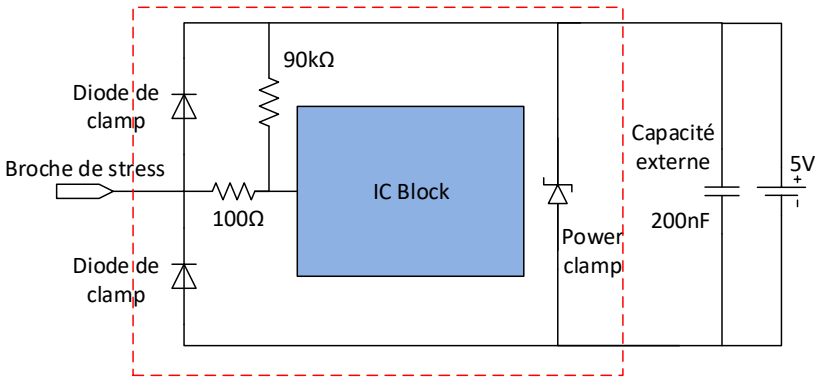


Figure 3-29. Schéma d'entrée de la broche CS du TDA8007 sous test.

3.3.2. Analyse de défaillance du TDA8007 avec V_{dd}=+5V pendant stress

Avec le résultat de premier essai de la Figure 3-30, nous avons constaté que V_{cs} augmente jusqu'à atteindre 14V. Mais théoriquement, avec la présence d'alimentation de 5V, la tension V_{cs} doit être maintenue à 5,6V. On réalise ainsi la caractéristique I(V) transitoire pendant le stress de la Figure 3-31. Une résistance d'entrée dynamique d'environ 20Ω est observée alors que le concepteur du TDA8007 exprime que la résistance d'entrée doit être négligeable. Lorsque la capacité est chargée, le courant ne pourra pas circuler que par le « power clamp ». C'est-à-dire que le « power clamp » ne peut pas évacuer tout le courant de stress. Ce qui va causer ensuite l'augmentation de la tension de la borne CS et déclenche la dégradation pendant stress. Nous proposons une hypothèse que la résistance d'entrée dynamique est la résistance parasite du chemin électrique de la borne CS vers la PAD V_{DD} et/ou GND.

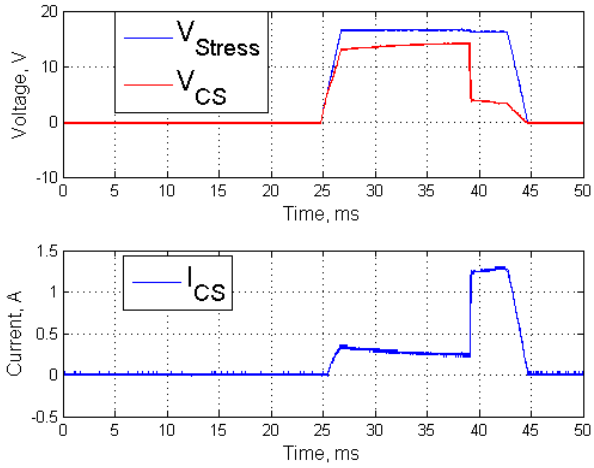


Figure 3-30. Résultats de test EOS avec alimentation pour t_r=t_d=2ms, PW=18ms et R_s=10Ω.

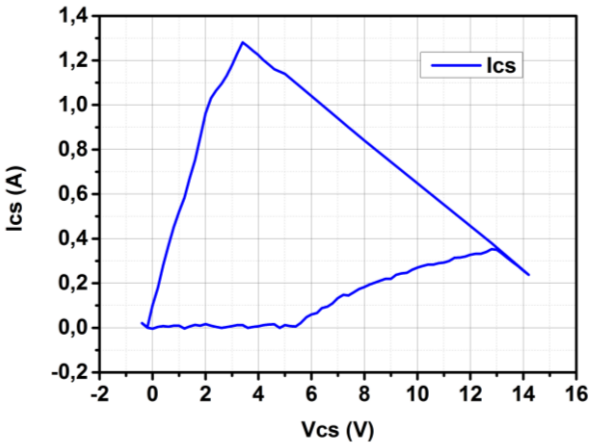


Figure 3-31. Caractéristique I(V) pendant l'EOS correspondant à la Figure 3-30.

3.3.3. Analyse de défaillance du TDA8007 avec V_{dd}=0V pendant stress

Le résultat d'essai sans alimentation est montré par la Figure 3-32. Les valeurs de la tension de stress V_{cs} et R_s ne sont pas changées. Ce résultat illustre que le courant et la puissance de stress ne changent pas également. Mais la durée de stress est beaucoup plus réduite pour identifier la dégradation.

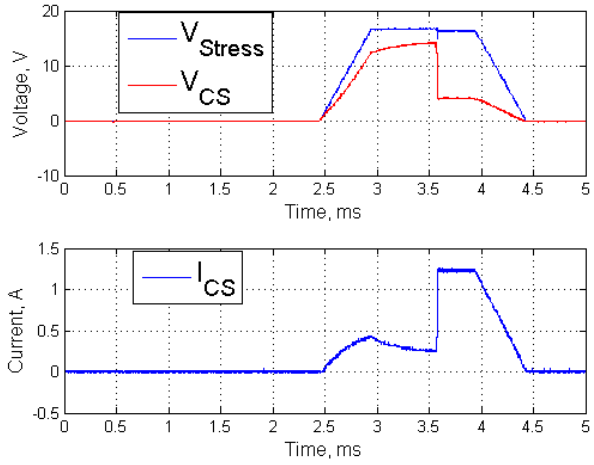


Figure 3-32. Résultats de test EOS sans alimentation pour t_r=t_d=0,5ms, PW=1,5ms et R_s=10Ω.

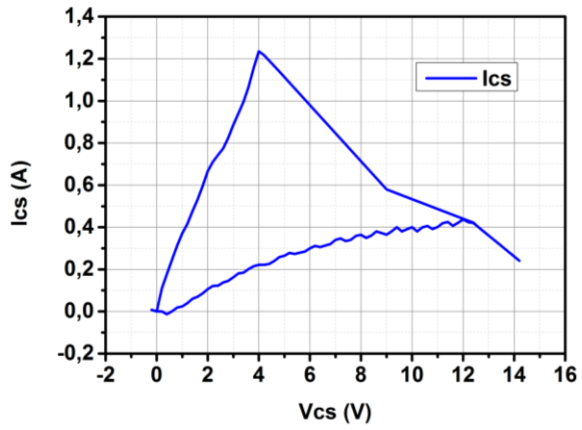


Figure 3-33. Caractéristique I(V) pendant stress correspondant à la Figure 3-32.

On peut dire que, sans la présence d'alimentation, il faut moins d'énergie déposée sur le composant pour déclencher le second claquage. Le circuit est ainsi plus fragile que dans le cas précédemment. Pour voir la résistance d'entrée dynamique, la caractéristique I(V) pendant stress est tracée sur la

Figure 3-33. La résistance d'entrée d'environ 25Ω est aussi constatée. La tension V_{CS} augmente jusqu'à 14V. Similaire au cas précédemment, le composant testé est ainsi détérioré. Comme l'illustre la caractéristique I(V) pendant l'EOS de la Figure 3-33, l'apparition d'une pente de descente verticale qui se traduit par une petite résistance correspond à l'état de détérioration du composant stressé.

3.3.4. Analyse de défaillance du TDA8007 après EOS au cas du court-circuit entre alimentation-masse

Cet essai avec court-circuit entre l'alimentation et la masse a pour objectif de stresser le circuit sans « power clamp ». Le résultat obtenu pendant stress est donné sur la Figure 3-34. Par rapport au 2ème cas, la durée de stress et R_s sont maintenues aux mêmes valeurs. La tension de stress V_{cs} a été diminuée jusqu'à 14,6V. C'est-à-dire l'énergie déposée pour déclencher le second claquage est encore moins élevée. Sans la présence du « power clamp », le circuit devient encore plus fragile. Comme le montre la Figure 3-35, la tension V_{cs} a été augmentée jusqu'à 12V. On observe que le circuit présente une résistance d'entrée dynamique ce qui confirme notre hypothèse que la résistance d'entrée dynamique ne vient pas du « power clamp ».

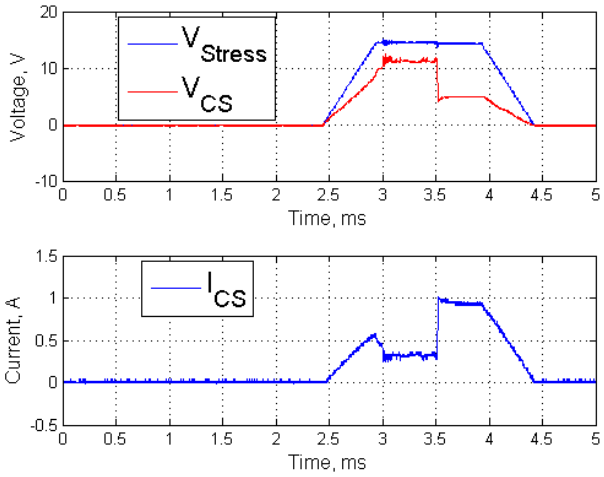


Figure 3-34. Stress sans alimentation et les bornes alimentation-masse court-circuit.

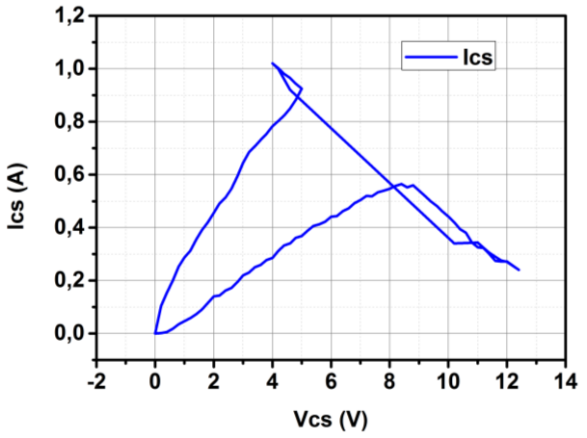


Figure 3-35. Caractéristique I-V pendant stress correspondant à la Figure 3-34.

3.3.5. Analyse de dégradation du TDA8007 après EOS à différentes formes d'onde

Une autre série d'essai EOS du TDA8007 avec deux formes d'onde arbitraires a été réalisée. Comme expliqué au paragraphe 3.2.5. **Dégradation de la diode pour différentes formes d'onde d'EOS**, avec la forme d'onde double-exponentielle, il faut une plus longue durée de stress pour déclencher le second claquage par rapport à la forme d'onde carrée si l'on ne change pas l'amplitude V_{stress} et R_s. Parce que la forme d'onde double-exponentielle présente des temps de montée et de descente plus

importants. Avec la forme d'onde sinusoïdale amortie, aucune dégradation n'est constatée sur la partie négative. En conclusion de ces tests empirique, le TDA8007 présente le même type de dégradation comme les essais précédents.

3.3.6. Analyse de défaillance : Reproduction d'une dégradation EOS avec claquage d'une jonction

3.3.6.1. Choix du composant

Pour la reproduction d'un mécanisme de dégradation, le claquage d'une jonction, le choix du véhicule de test et du type de stress ne s'est pas fait à priori mais à postériori quand les résultats des tests ont été croisés avec les résultats des analyses de défaillances. Ces analyses ont permis de comprendre le mécanisme de dégradation mis jeu.

Le véhicule de test est le TDA8007 de NXP utilisé pour des applications « lecteurs de cartes ». La broche stressée est une entrée logique servant dans l'application à sélectionner le boitier. Le circuit est réalisé en technologie CMOS 70nm.

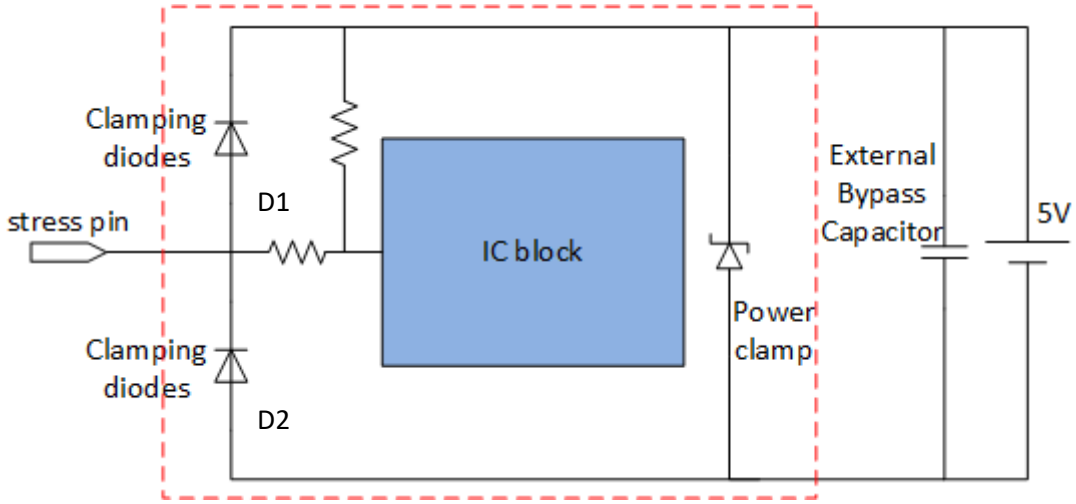


Figure 3-36 : Synoptique de l'entrée CMOS CS du TDA8007.

Le schéma équivalent de l'entrée CS fourni par NXP est représenté sur la Figure 3-36. Il est constitué de :

- Deux diodes de clamp qui protègent le circuit contre les surtensions. C'est la protection typique d'un circuit CMOS contre les ESD. La diode D1 (dite « diode du haut ») a sa cathode reliée à l'alimentation positive du circuit $+V_{DD}$, l'autre diode D2 (dite « diode du bas ») a son anode reliée à la masse de l'alimentation.

- D'un inverseur (IC block) qui constitue la partie fonctionnelle de cette entrée CS. Cet inverseur est relié à la patte CS à travers une résistance de 100Ω.
- Une résistance de 90kΩ entre l'alimentation et l'entrée de l'inverseur.
- Un circuit appelé « Power clamp » qui est un GGNMOS (Gate Grounded NMOS) et dont le fonctionnement s'apparente à celui d'une diode Zener. Il est destiné à limiter la tension entre la broche VDD et la masse du circuit et il contribue à la protection ESD du circuit.

Typiquement, le circuit est conçu pour travailler une alimentation positive V_{DD} de +5V. Cette alimentation est découplée par une capacité externe de 200nF. Les stress sont réalisés avec une forme d'onde carrée positive appliquée entre CS et la masse avec une alimentation de 5V appliquée au circuit. La résistance de shunt est fixée à 10Ω pour baisser le courant maximum pouvant passer dans le composant ; les valeurs plus basses du shunt amenant trop rapidement la casse du circuit. Initialement, ces stress avaient pour but de solliciter la diode D1 et le Power Clamp mais il s'est avéré que la dégradation avait lieu sur la diode D2 polarisée en inverse pendant les stress.

3.3.6.2. Résultat du stress

La tension de stress fixée à 16,6V et la durée de l'impulsion est fixée à 18ms car un test avec 16ms n'ayant pas engendré de défaillance. Les résultats sont donnés sur la Figure 3-37 pour l'échantillon 15.

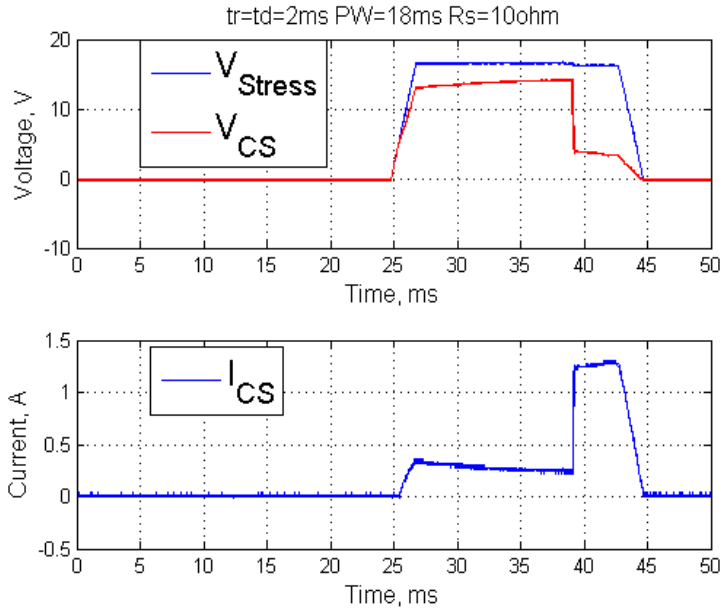


Figure 3-37 : Résultat du test EOS TDA8007 avec alimentation à V_{DD}=5V (No. 15).

À environ 14ms après le début de l'impulsion, on voit que le courant dans la broche CS augmente et passe de 0,2A à 1,2A signe du déclanchement d'un phénomène inexistant avant. L'analyse des formes d'ondes permet de dire que :

- De 0 jusqu'à V_{Stress}=5,6V égal à l'alimentation +5V augmenté du seuil de D1, le courant est nul dans la broche CS.
- À partir de V_{Stress}=5,6V, la diode D1 conduit et on charge la capacité de découplage d'alimentation jusqu'à ce que le Power Clamp du TDA8007 se déclenche ; ce déclenchement se faisant à environ 12V. Dans ce cas la tension VCS est inférieure à V_{Stress} à cause de la chute de tension dans le shunt.
- Au-delà de V_{CS}=12V, la tension V_{Stress} a atteint sa valeur établie de 16,6V. Le Power Clamp pourrait se déclencher et drainer une partie du courant mais rien sur les chronogrammes de la Figure 3-37 ne permet de l'affirmer. Globalement on constate que le courant dans la borne CS stressée diminue car la capacité de découplage d'alimentation appelle peu de courant car la tension à ses bornes (VCS) augmente peu.
- Quand V_{CS} atteint 14V environ, on observe une brutale augmentation du courant qui passe de 0,2A à 1,2A.
- Depuis V_{Stress}=5,6V, on sait que la diode en haut D1 conduit mais il n'est pas clair si la diode en bas D2 conduit elle aussi pendant le stress. La question se pose car après le stress, il apparait un court-circuit (en réalité une résistance d'environ 3Ω) entre la borne CS et la masse comme le montre la Figure 3-38 alors que la consommation du circuit sur l'alimentation est normale.

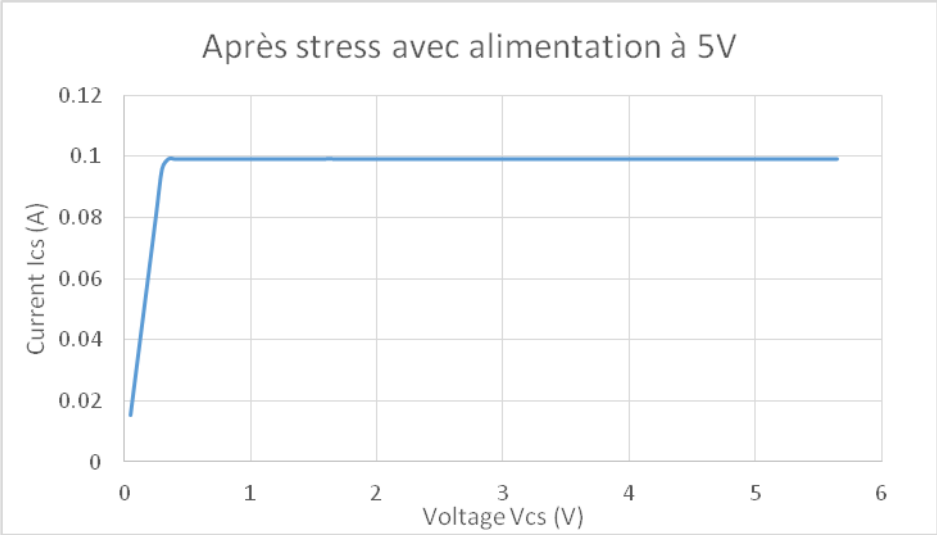


Figure 3-38 : Caractéristique I-V du TDA8007 (No.15) après stress.

L'hypothèse est que la diode D2 a atteint autour de 14V sa tension d'avalanche et qu'elle se mette à conduire. Dans cette situation, le courant I_Z qui la traverse est donné par l'équation :

$$I_Z = (V_{Stress}-V_{CS})/R_S=260mA. \quad (3\text{-}1)$$

Il est possible que ce courant provoque un échauffement rapide et important de cette diode qui provoque sa destruction. Il est à noter que lorsque l'on additionne les 10Ω du shunt et les 3Ω de la résistance résiduelle entre CS et masse et que l'on multiplie par le courant maximum atteint en fin de stress visible sur la Figure 3-37 (environ 1,3A), on retrouve la tension V_{Stress}=16,6V ; ce qui confirme bien le fait que tout le courant passe par ce chemin et que à partir de 14V, la diode D1 et le Power Clamp n'interviennent plus.

3.3.6.3. Analyse de défaillance du TDA8007 n°15

Le composant stressé a été soumis à l'analyse de défaillance. Après ouverture la microscopie a révélé, comme cela est visible sur la Figure 3-39 que la seule zone ayant subi des dommages est bien la diode de protection ESD D2 connectée entre CS et la masse du circuit ; sa cathode étant reliée à CS. Lors du stress, cette diode est polarisée en inverse.

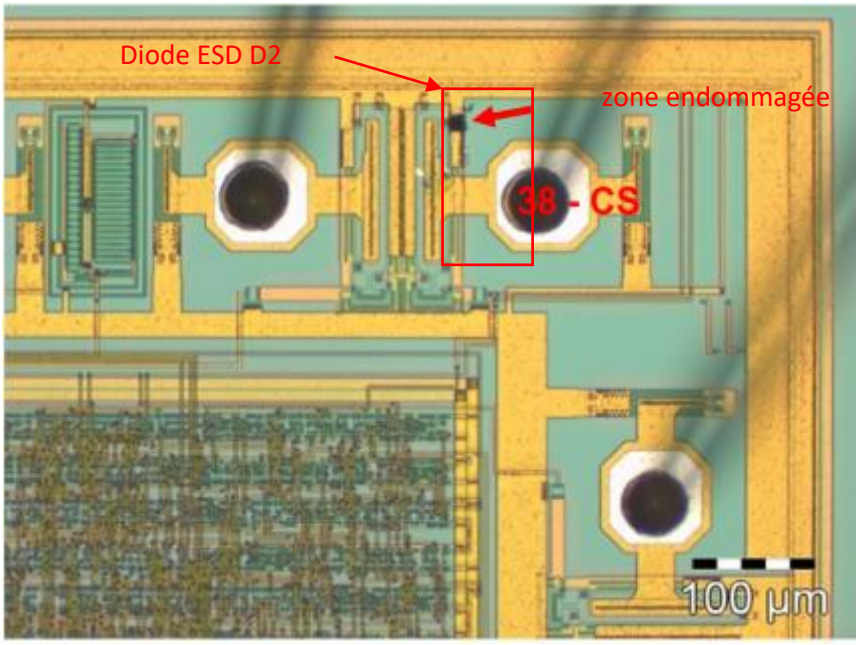


Figure 3-39 : Image optique du TDA8007 n°15.

Cette diode D2 a une structure verticale (jonction cathode-anode) et est symétrique : la cathode centrale est connectée directement au pin CS, alors que l'anode est reliée au rail de masse (GND) par deux lignes métalliques de part et d'autre de la cathode.

Sur la Figure 3-40 qui est un zoom de la Figure 3-39, les flèches en bleu clair et en rouge indiquent des fusions de métal visibles en surface du circuit et donc sur l'image FIB de la Figure 3-41. Les flèches jaunes indiquent une fusion dans les niveaux inférieurs, possiblement jusqu'au substrat. La masse du circuit est désignée par les flèches en bleu foncé.

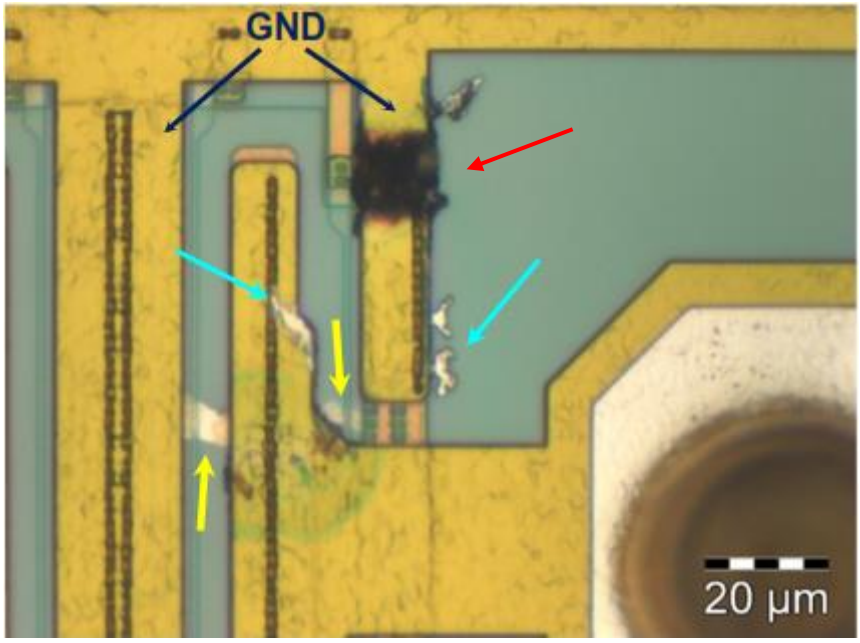


Figure 3-40 : Image optique 50X du TDA8007 n°15. Détail de la zone CS.

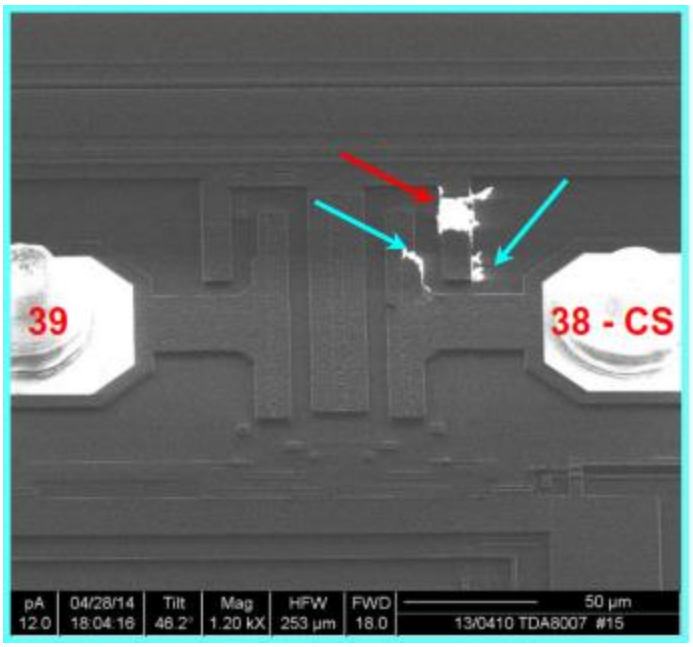


Figure 3-41 : Image FIB tiltée de la zone de fusion du TDA8007 n°15.

Sur l'image FIB de la Figure 3-41, les zones très brillantes (ex : PADs 38 et 39) mettent en évidence des points reliés à la masse. Les zones de fusion de métal, désignées par flèches en bleu clair et rouge, qui affectent la surface, correspondent à des connexions à la masse par les niveaux inférieurs.

Afin de localiser ces connexions à la masse, des cross-sections ont été réalisées entre les plans C1 et C17 comme indiqué sur la Figure 3-40. Pour pouvoir interpréter ces cross-sections, il faut rappeler que zones endommagées sont reconnaissables au fait qu'elles présentent des nuances de gris alors qu'elles devraient être de teinte uniforme. Ces variations de teintes mettent en évidence que des matériaux ont migrés d'une zone à une autre. Sur les différentes cross-sections, les niveaux métalliques, INS et INF, et les équipotentielles intéressantes CS et la masse (notée GND1 ou GND2) sont repérés en jaune et les zones endommagées sont pointées avec des flèches de couleur rouge.

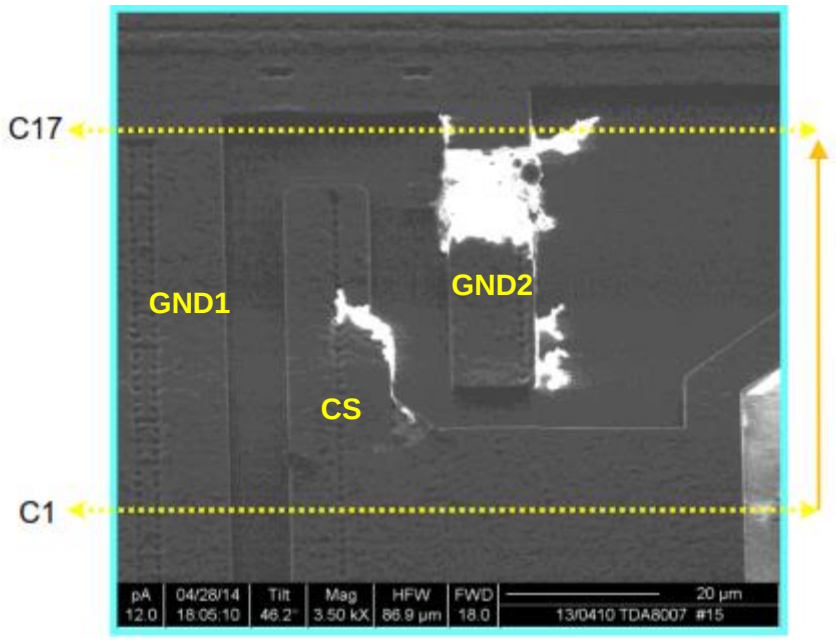


Figure 3-42 : Détail de l'image FIB tiltée de la zone de fusion du TDA8007 n°15.

Parmi toutes les images FIB des 17 cross-sections réalisées, les plus significatives sont présentées sur les figures Figure 3-43 à Figure 3-49. La Figure 3-43 met en évidence de la migration métallique pour le niveau métallique INS, relié à la borne CS et le niveau métallique INF.

La Figure 3-44 met en évidence de la migration métallique du niveau métallique INS, relié à la borne CS ; le niveau métallique INF étant relié à la masse GND2.

Sur la Figure 3-45 on observe une migration du métal de la couche INF dans le substrat semi-conducteur.

Sur la Figure 3-46 on observe une migration du métal de la couche INS reliée à CS.

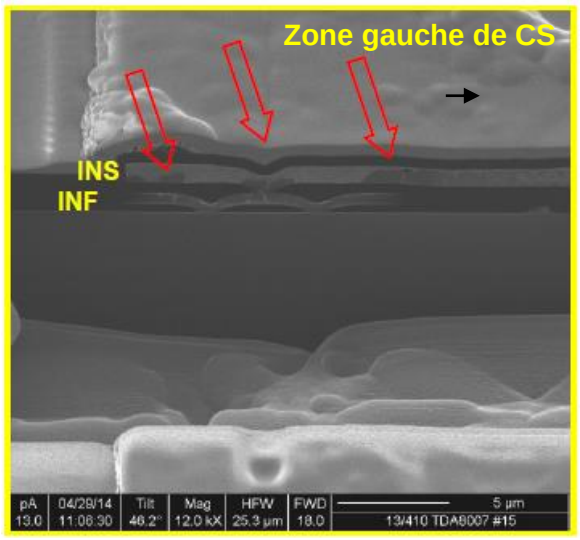


Figure 3-43 : Image FIB du TDA8007 n°15- Cross1- Zone gauche CS.

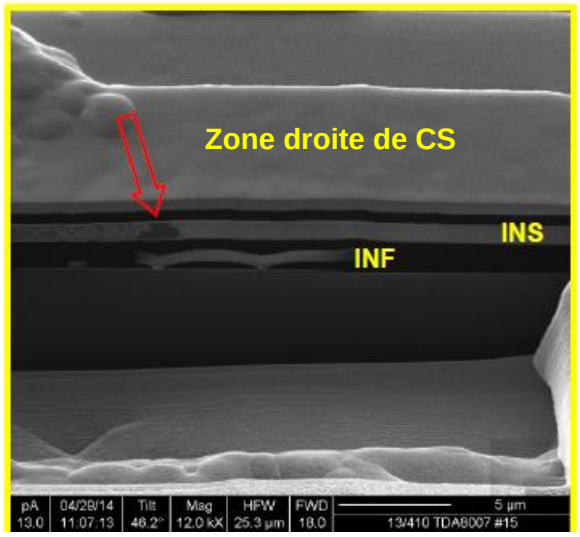


Figure 3-44 : Image FIB du TDA8007 n°15- Cross1- Zone droite CS.

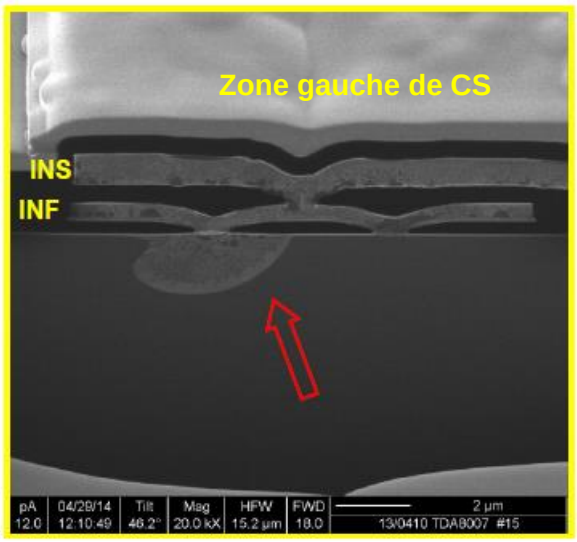


Figure 3-45 : Image FIB du TDA8007 n°15- Cross4- Zone gauche CS.

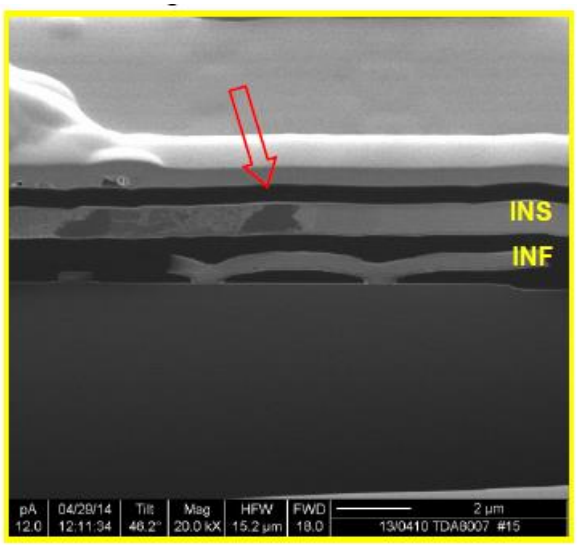


Figure 3-46 : Image FIB du TDA8007 n°15- Cross4- Zone droite CS.

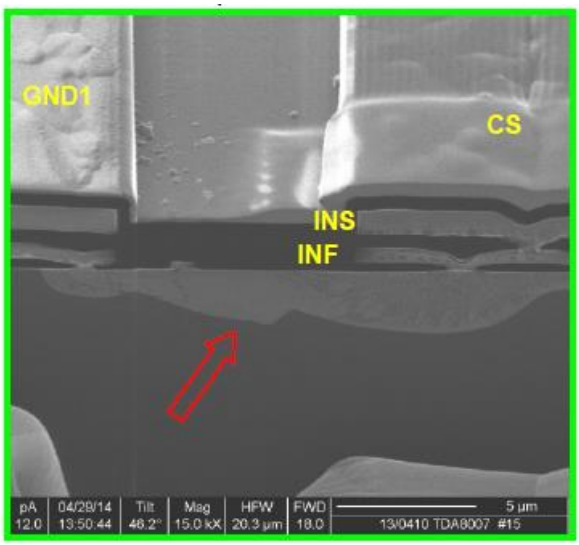


Figure 3-47 : Image FIB du TDA8007 n°15- Cross6- Zone GND1/ CS.

Sur la Figure 3-47 on observe une très importante migration des métaux des couches INS et INF dans le substrat qui provoque la mise en court-circuit de la diode ESD D2.

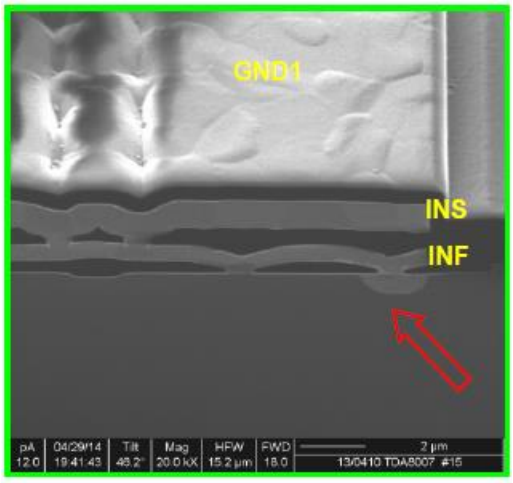


Figure 3-48 : Image FIB du TDA8007 n°15- Cross9- Zone GND1.

Sur la Figure 3-48 on observe une migration du métal de la couche INF dans le substrat.

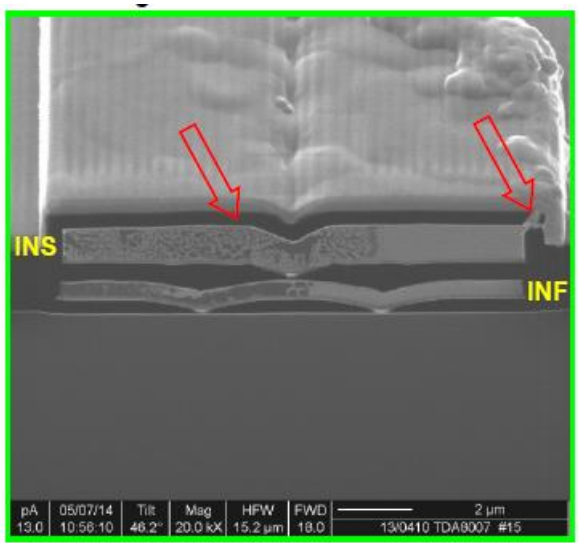


Figure 3-49 : Image FIB du TDA8007 n°15- Cross10- Zone CS.

Sur la Figure 3-49 on observe une migration du métal de la couche INS vers la surface.

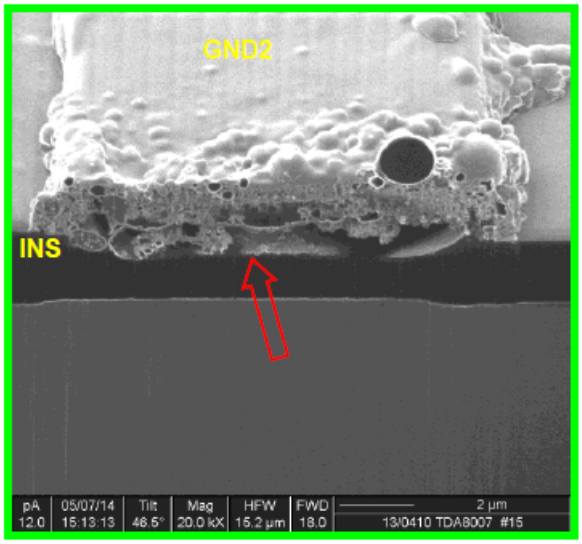


Figure 3-50 : Image FIB du TDA8007 n°15- Cross10- Zone CS.

Sur la Figure 3-50 on observe que le métal de la couche INS a explosé vers la surface.

De toutes ces images FIB, c'est la Figure 3-47 qui est la plus représentative du mode de défaillance de la diode de protection ESD D2. C'est en effet la migration d'Aluminium dans les parties semi-conductrices dopées N et P de cette diode qui l'a transformée en une faible résistance. La zone de forte fusion de métal visible sur la Figure 3-46 a pu être causée après l'apparition du court-circuit entre les zones N et P à cause d'un courant trop important.

3.3.6.4. Analyses de défaillance complémentaires du TDA8007

Pour vérifier qu'un stress avec une tension positive entre CS et masse provoquait uniquement la destruction de la diode D2, d'autres échantillons du TDA8007 ont été stressés puis inspectés en microscopie optique. Il s'agit des échantillons 84, 85 et 87 et les stress correspondants sont donnés dans le Tableau 3-2.

stress	Rshunt (Ω)	PW (ms)	Vstress (V)	Vcs max (V)	Avec alim	commentaire
TDA I-84	**Forme d'onde 2a**					
1er	10	44	16.6	14.2	Oui	pas de changement en cours de stress
2er	10	58	16.8	14.4	Oui	dégradation en cours de stress chute à 4V
TDA I-85	**Forme d'onde 2a**					
1er	10	18	17.4	14.2	oui	pas de changement en cours de stress
2er	10	18	17.4	14.2	oui	dégradation en cours de stress Vcs chute à 3,8V
TDA I-87	**Forme d'onde sinusoidale amortie 5 periodes**					
1er	10	250	0.1	17	oui	dégradation en cours de stress chute de tension à 3,8V

Tableau 3-2 : Tests subis pour les échantillons 84, 85 et 87.

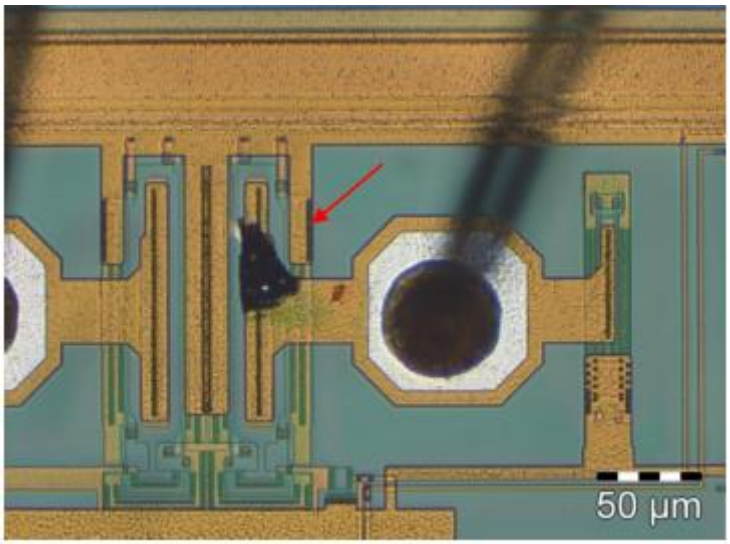


Figure 3-51 : Image optique 50X du TDA8007 n°84. Détail de la zone CS.

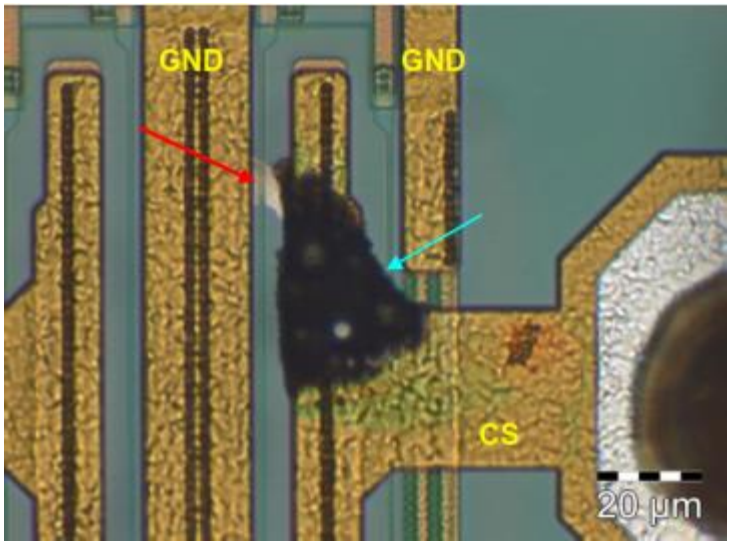


Figure 3-52 : Image optique 50X du TDA8007 n°84. Détail de la zone D2.

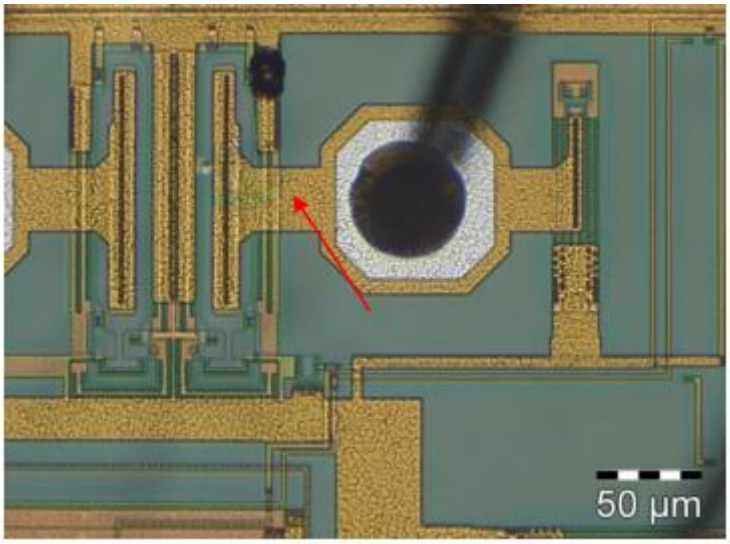


Figure 3-53 : Image optique 50X du TDA8007 n°85. Détail de la zone CS.

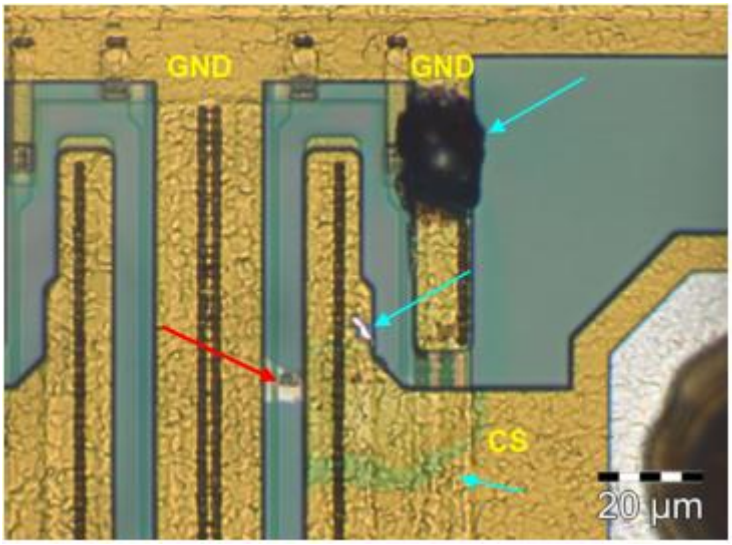


Figure 3-54 : Image optique 50X du TDA8007 n°84. Détail de la zone D2.

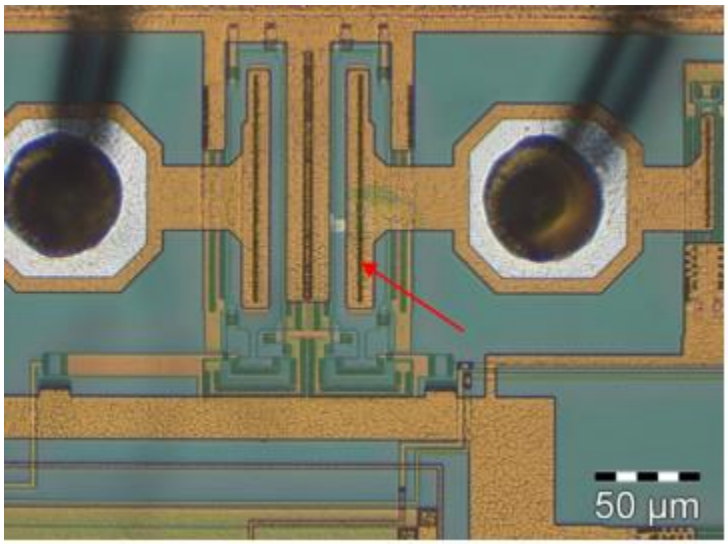


Figure 3-55 : Image optique 50X du TDA8007 n°87. Détail de la zone CS.

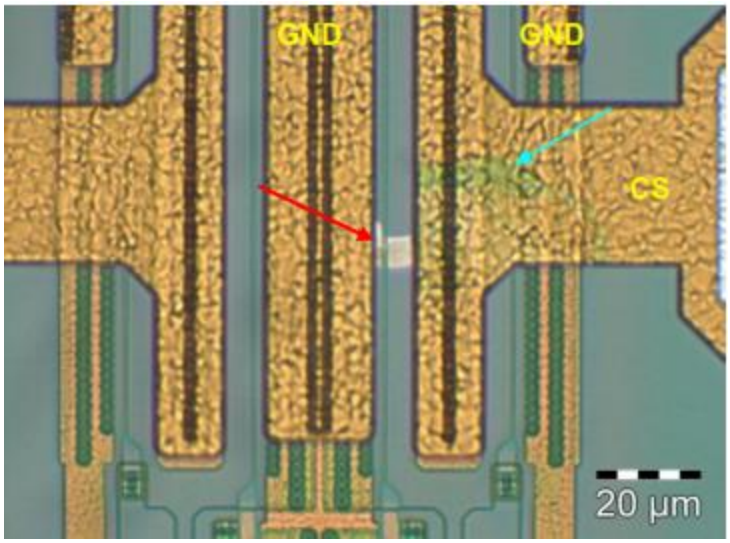


Figure 3-56 : Image optique 50X du TDA8007 n°87. Détail de la zone D2.

Pour les trois échantillons, on voit sur les figures Figure 3-51 à Figure 3-56 que les dommages créés par le stress sont toujours localisés dans la zone où est implantée la diode ESD D2. Pour s'en assurer, l'ensemble du circuit a été observé et en particulier la zone où est situé le Power Clamp.

Sur ces figures, mêmes si les marques de fusion en surface signalées par des tâches noires sont les plus spectaculaires ; c'est plutôt les défauts profonds, repérables aux taches claires signalées par des flèches rouges sur les figures Figure 3-52, Figure 3-54 et Figure 3-56, qu'il faut prendre en compte car ils signalent une migration de métal dans le substrat semi-conducteur synonyme de mise en court-circuit des jonctions PN.

3.3.6.5. Conclusion

Ces stress de TDA8007 par une tension positive entre la borne CS et la masse ont permis de mettre en évidence un mode de défaillance particulier qui est la destruction d'une jonction PN polarisée en inverse. Ce mode de défaillance n'est pas tout à fait le même que celui décrit dans le paragraphe **3.2.6. Analyse de défaillance** car ce n'est pas le seul courant passant dans la jonction qui la détruit à cause d'une température trop élevée et d'une conductivité thermique qui diminue mais c'est la migration de l'Aluminium, nécessaire pour réaliser les conducteurs permettant de connecter cette diode au reste du circuit, dans le semi-conducteur qui modifie le comportement de la jonction en la transformant en une résistance.

En ce qui concerne la signature « électrique » du stress, la caractéristique I-V après stress fait apparaitre une très faible résistance de quelques Ohms. En revanche, l'interprétation d'un quasi court-

circuit sur un circuit complexe n'est pas toujours aisée quand il s'agit de déterminer l'élément concerné.

3.4 Conclusion du chapitre 3

Dans ce chapitre, nous avons présenté une méthodologie d'analyse de défaillance mettant en avant plusieurs mécanismes de défaillances occasionnés sur des composants électroniques sous stress EOS. Il a été mis en avant des phénomènes de fusion des couches d'aluminium, des phénomènes de destruction des bondings et des phénomènes de destruction d'une jonction PN polarisée en inverse par migration d'aluminium. Dans ce dernier cas, nous pouvons provoquer un court-circuit (une résistance très faible) ce qui peut provoquer une élévation du courant sur certaines zones des circuits.

Chapitre 4 : Modélisation de la diode Zener sous stress EOS

Résumé du Chapitre 4

Pour prédire la fiabilité des composants électroniques durant et après EOS, il est important d'avoir un modèle susceptible d'être intégré dans des outils de simulation électrique. En s'appuyant sur les résultats empiriques du chapitre 2 qui présente le comportement de deux composants ayant subi des stress EOS et du chapitre 3, qui en s'appuyant sur des analyses de défaillances, explique les mécanismes mis en jeu, le chapitre 4 présente une méthodologie pour identifier le modèle de la diode Zener durant et après EOS. Plusieurs types de modèles sont proposés et la pertinence de chaque modèle est étudiée en utilisant les résultats expérimentaux du chapitre 2.

4.1. Introduction

L'objectif de ce chapitre est de proposer des modèles EOS des deux composants testés durant ce travail de thèse. Suite aux analyses de défaillance présentées dans le chapitre 3, il s'est avéré que les dommages subis par les deux composants étudiés lors de stress EOS étaient dus à un échauffement excessif et liés à l'énergie reçue par le composant lors du stress. En conséquence, ce chapitre sera organisé suivant le plan suivant :

- Recherche de la relation liant l'énergie totale reçue par le composant lors du stress jusqu'à apparition d'un signe électrique de dégradation -réversible ou non- et le temps écoulé depuis l'application du stress,
- Utilisation de cette relation pour créer un modèle électrothermique de composant pour pouvoir prédire si le stress EOS appliqué va dégrader ou non le composant. Le modèle ainsi obtenu sera implémenté dans un outil de CAO électronique couramment utilisé.

Les modèles obtenus seront validés sur la base des résultats obtenus lors des essais qui ont été présentés dans le chapitre 2.

4.2. Modélisation des dispositifs sensibles à l'énergie des stress EOS

4.2.1. Introduction

Lors des essais de stress OVS rapportés dans le chapitre 2 et comme analysé dans les paragraphes 3.2 et 3.3, il est apparu que certains composants électroniques sont sensibles à l'énergie qui leur est

communiquée par le stress. Dans cette partie, nous allons modéliser le comportement EOS des composants en déterminant quelle énergie est nécessaire pour enclencher le mécanisme de dégradation.

Comme les stress OVS sont des événements relativement longs par rapport aux ESD, l'hypothèse « adiabatique » correspondant au fait que le dispositif stressé n'échange pas avec son environnement n'est certainement plus valable. Le dispositif stressé a alors la possibilité d'évacuer une partie de stress communiqué par la source avec son environnement par échange thermique. Il est donc légitime de s'intéresser à la relation qui existe entre l'énergie totale reçue par le DUT pendant le stress jusqu'à apparition de la défaillance et la durée de temps, notée $T_{b_EOS_f}$ (Time before EOS failure), qui sépare le début du stress de l'apparition du signe électrique d'une défaillance. Cette énergie est appelée « énergie d'activation de la dégradation EOS ». Si pendant le stress, le DUT a pu évacuer une partie de l'énergie, cela lui permettra d'être plus robuste aux OVS.

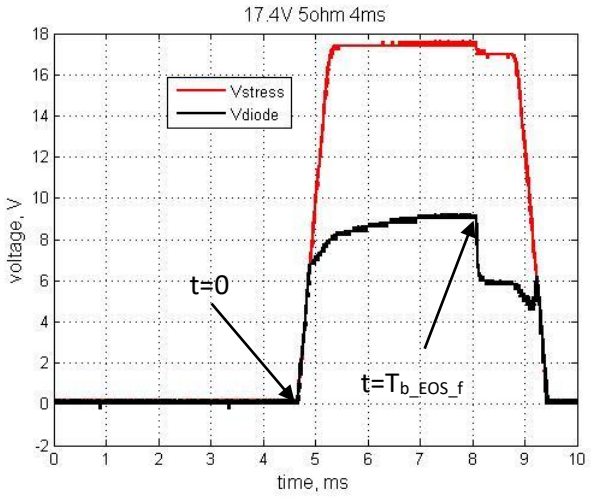


Figure 4-1 : Stress BZX84-B6V8. Conditions : onde carrée, 17,4V, 4ms, 5Ω.

À titre d'exemple, la Figure 4-1 représente le stress d'une diode Zener BZX84-B6V8 avec une onde carrée d'amplitude V_{stress} de 17,4V, de durée 4ms avec un shunt de 5Ω conformément au schéma de la Figure 4-2.

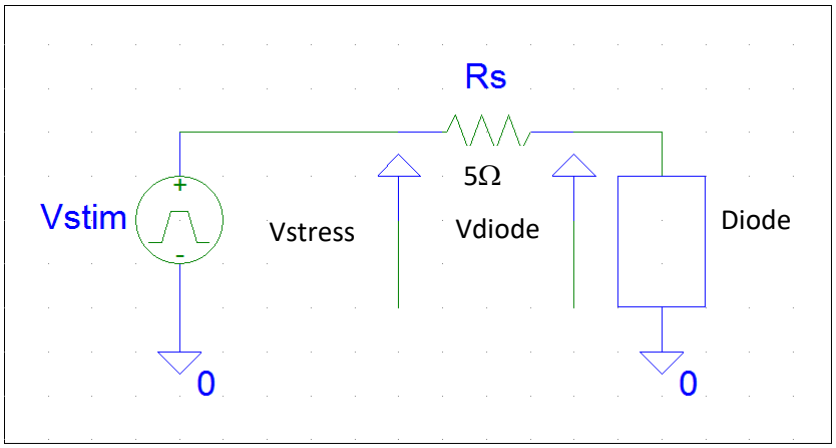


Figure 4-2 : Application du stress EOS à la diode.

À partir du fichier de points de mesures de V_{stress} et de V_{diode} enregistré par l'oscilloscope utilisé dans le banc EOS IRSEEM pendant le stress et connaissant la valeur du shunt R_s, on peut calculer $E_{Tot_b_EOS_f}$ l'énergie totale communiquée à la diode par l'équation :

$$E_{Tot_b_EOS_f} = \frac{\sum_{t=0}^{T_{b_EOS_f}} V_{diode}.(V_{stress} - V_{diode}).\Delta t}{R_s}, \qquad (4\text{-}1)$$

où Δt est l'écart temporel entre deux points de mesures acquis par l'oscilloscope. Il faut noter que l'équation (4-1) peut être utilisée quelle que soit la forme d'onde délivrée par la source de stress. Dans le cas de la diode, le temps $T_{b_EOS_f}$ correspond au moment où le phénomène de 2nde avalanche apparaît. En conséquence $E_{Tot_b_EOS_f}$ est l'énergie d'activation du phénomène de 2nde avalanche. Avec les résultats de mesures de la Figure 4-1 et l'équation (4-1), on obtient alors un point de la courbe liant $E_{Tot_b_EOS_f}$ à $T_{b_EOS_f}$. Il faut ensuite itérer mesures et calculs avec d'autres paramètres de stress pour avoir une idée de la courbe complète liant $E_{Tot_b_EOS_f}$ à $T_{b_EOS_f}$.

4.2.2. Énergie d'activation pour la diode Zener BZX84-B6V8

4.2.2.1. Introduction

Pour faire varier l'énergie du stress, on voit dans l'équation (4-1) que l'on peut jouer sur 3 paramètres :

- L'amplitude du stress V_{stress}, mais plus la tension de stress est élevée plus la dégradation risque d'arriver tôt après l'application du stress et il y a un risque important de retrouver un point déjà calculé.

- La durée « prévue » pour le stress, mais elle ne renseigne pas sur la valeur réelle de $T_{b_EOS_f}$ et on risque à nouveau de tomber sur un point peu différent de ceux déjà acquis.

- La valeur du shunt. C'est cette méthode qui est la plus efficace pour balayer une large plage d'énergie avant défaillance car plus la valeur du shunt est faible plus cela permet de faire circuler un courant important dans le DUT ; d'où une valeur plus importante pour la vitesse à laquelle l'énergie de la source est transférée au DUT.

C'est la méthode qui a été utilisée dans cette étude.

4.2.2.2. Onde carrée

Les résultats des essais sont donnés, pour la forme d'onde carrée appliquée à la diode BZX84-B6V8 pour une tension Vstress de 17,4V, dans le Tableau 4-1 et transcrits graphiquement sur la Figure 4-3. Dans ce tableau, on remarque que plus le shunt est de faible valeur plus la diode est rapidement défaillante et moins l'énergie qu'elle a reçue est importante.

R_s (Ω)	$T_{b_EOS_f}$ (ms)	$E_{Tot_b_EOS_f}$ (J)
3	2,5	0,03456
5	4	0,04941
6	6,26	0,06702
7	9,96	0,09052
8	12,38	0,1078
9	17,1	0,1341
10	23,8	0,1558
11	28,92	0,1888
12	37	0,2259
13	45,6	0,2598
14	55,3	0,2941
15	65,5	0,3258
16	76,2	0,3632
17	89,9	0,4017
18	101,4	0,4297
25	279,4	0,8395
28	412,1	1,116

Tableau 4-1 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme d'onde carrée- BZX84-B6V8.

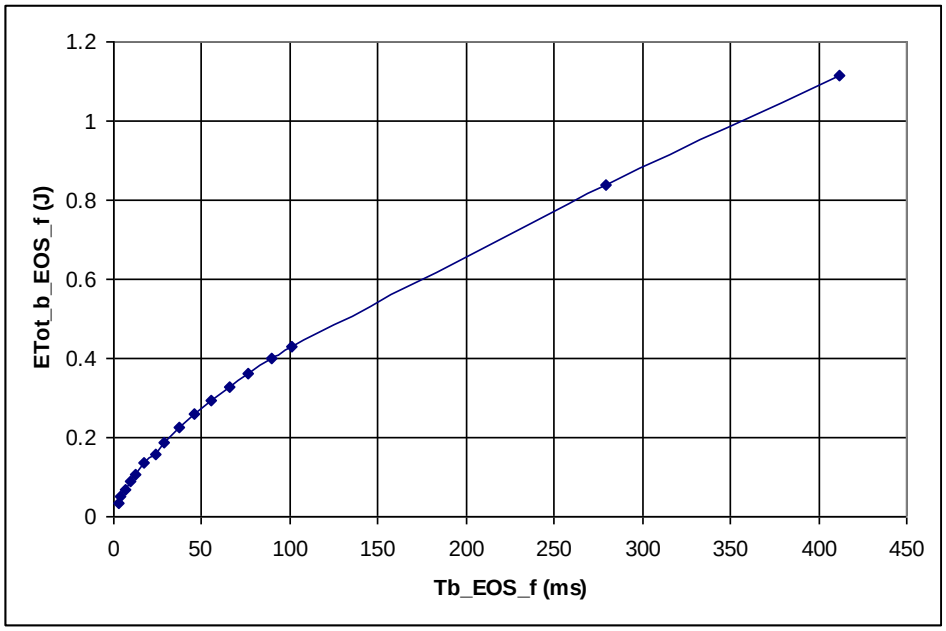


Figure 4-3 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme d'onde carrée- BZX84-B6V8.

4.2.2.3. Onde double-exponentielle

Les résultats des essais sont donnés, pour la forme d'onde double-exponentielle appliquée à la diode BZX84-B6V8, dans le Tableau 4-2 et transcrits graphiquement sur la Figure 4-4. Dans ce tableau, on remarque que plus le shunt est de faible valeur plus la diode est rapidement défaillante et moins l'énergie qu'elle a reçue est importante.

R_s (Ω)	$T_{b_EOS_f}$ (ms)	$E_{Tot_b_EOS_f}$ (J)
1	0,479	0,01523
2	0,87	0,01762
3	1,9	0,02826
5	4,04	0,04485
6	7,3	0,06392
7	9,5	0,07862
8	15	0,1016
9	20,2	0,1344
10	31,2	0,1557

Tableau 4-2: Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme double-exponentielle - BZX84-B6V8.

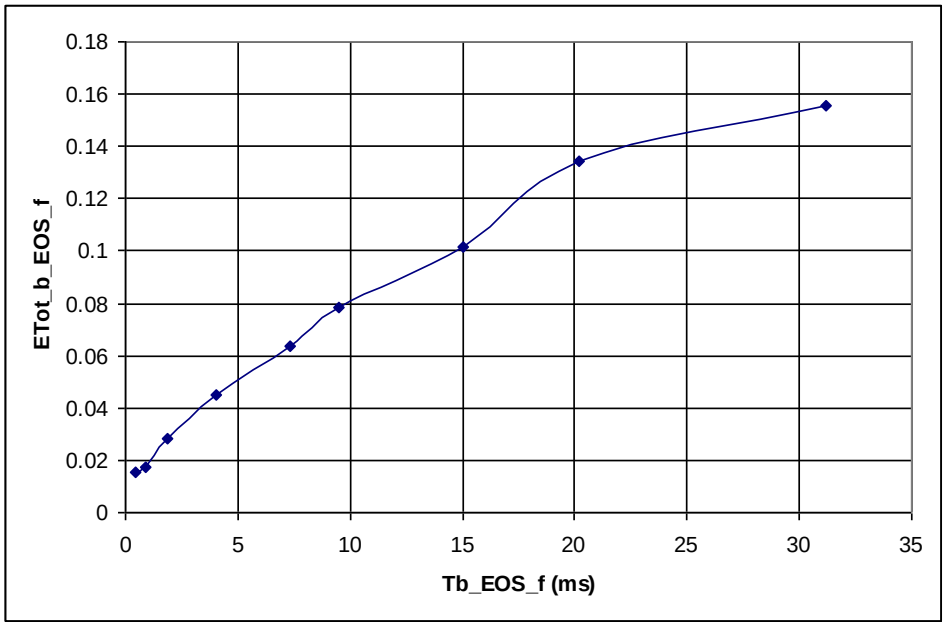


Figure 4-4 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme double-exponentielle - BZX84-B6V8.

4.2.2.4. Analyse des résultats

Sur la Figure 4-5, on voit la comparaison de la courbe $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ pour l'onde carrée (en bleu foncé) et pour l'onde double-exponentielle (en rose). On constate à quelques écarts près que c'est bien l'énergie reçue par la diode qui détermine le temps avant dégradation et que la forme de l'onde qui stresse la diode n'a pas d'importance.

Ces écarts faibles peuvent avoir deux origines évidentes :

- Ces tests ont été faits avec des échantillons distincts à raison d'un échantillon par point de mesure dans les Tableaux Tableau 4-1 et Tableau 4-2 et ces échantillons peuvent être un peu dispersés en tenue EOS,

- Les mesures sont faites avec un oscilloscope ayant seulement une résolution verticale de 8 bits et les fichiers de mesures brutes faisant apparaitre des informations bruitées ont subi un prétraitement consistant à remplacer un groupe d'échantillons successifs par leur moyenne.

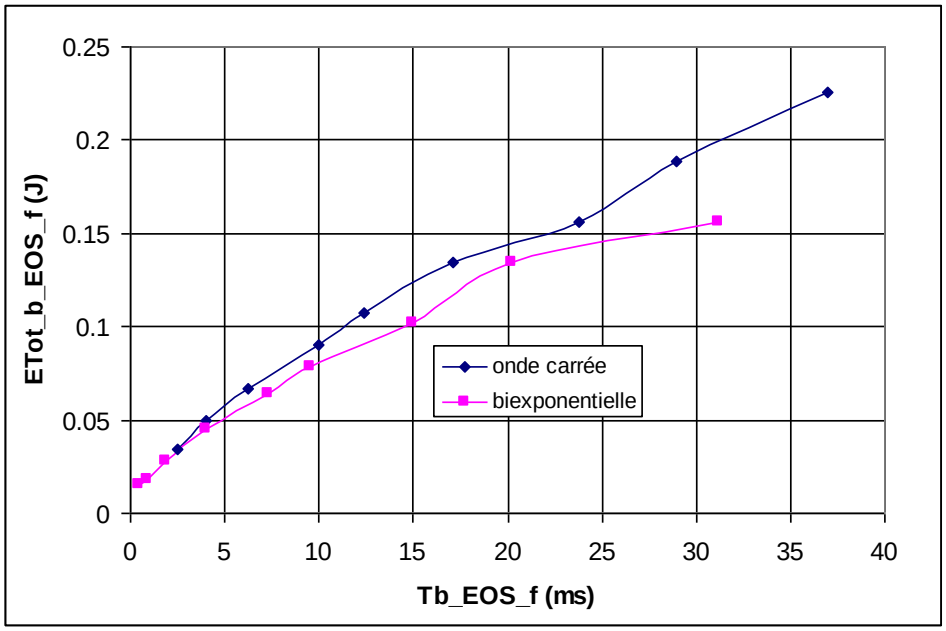


Figure 4-5 : Énergie $E_{Tot_b_EOS_f}$ vs $T_{b_EOS_f}$ - Comparaison Carrée/Double-exponentielle - BZX84-B6V8.

Les figures Figure 4-3 et Figure 4-4 sont plus faciles à exploiter en échelle logarithmique et c'est sous ce format qu'elles sont présentées sur la Figure 4-6 sur laquelle figure aussi une courbe de tendance dont l'équation est :

$$E_{Tot\text{-}b_EOS_f}=2{,}044(T_{b_EOS_f})^{0{,}675}. \quad (4\text{-}2)$$

Cette équation est valable sur une plage de temps allant de 4ms à 400ms avec $T_{b_EOS_f}$ exprimé en s. Cette équation est équivalente à celle donnée sur la Figure 4-6 où $T_{b_EOS_f}$ est exprimé en ms. Par dérivation de l'équation (4-2), on peut calculer la courbe puissance jusqu'à défaillance due au stress EOS notée $P_{t_EOS_f}$ en fonction du temps. Cette puissance est donnée par l'équation (4-3) avec $T_{b_EOS_f}$ exprimé en s :

$$P_{t_EOS_f}=1{,}38(T_{b_EOS_f})^{-0{,}325}. \quad (4\text{-}3)$$

En se rapportant aux travaux de Wunsch & Bell [58], on constate que la dégradation de la diode par 2nde avalanche ne correspond pas à la zone « Puissance constante » ni à la zone « Adiabatique » où :

$$P=K(t)^{0.5}, \quad (4\text{-}4)$$

Mais une zone intermédiaire entre les deux où la diode a la possibilité d'échanger d'énergie avec l'extérieur.

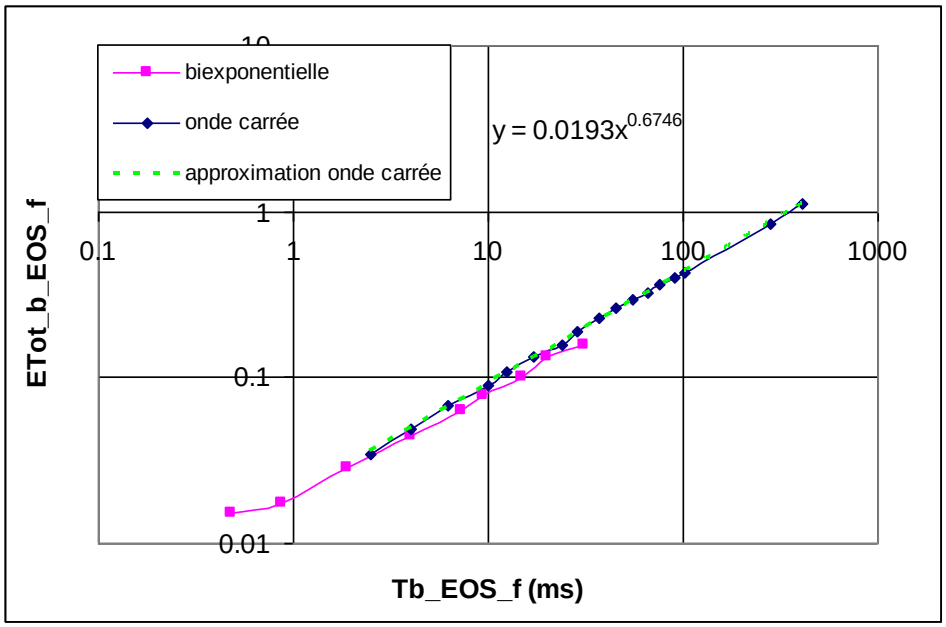


Figure 4-6 : Énergie $E_{Tot_b_EOS_f}$ vs $T_{b_EOS_f}$ - Échelle log - Carrée/Double-exponentielle - BZX84-B6V8.

Pour se trouver dans la zone adiabatique, il faut que la défaillance apparaisse plus rapidement avant que la diode ne puisse échanger avec son environnement. On atteint pratiquement cette zone en considérant les trois premiers points du Tableau 4-2 : 0,479ms, 0,87ms et 1,9ms. Dans ce cas, la relation Énergie/Temps est donnée par l'équation suivante avec $T_{b_EOS_f}$ exprimé en s :

$$E_{Tot\text{-}b_EOS_f}=0{,}7625(T_{b_EOS_f})^{0{,}522}. \quad (4\text{-}5)$$

Par dérivation de l'équation (4-5), on obtient la puissance jusqu'à défaillance due au stress EOS notée $P_{t_EOS_f}$ en fonction du temps. Cette puissance est donnée par l'équation suivant avec $T_{b_EOS_f}$ exprimé en s :

$$P_{t_EOS_f}=0{,}398(T_{b_EOS_f})^{-0{,}478}\#0{,}4(T_{b_EOS_f})^{-0{,}5}. \quad (4\text{-}6)$$

Enfin si l'on considère la zone 100ms à 400ms de la Figure 4-3, l'« Énergie jusqu'à la défaillance EOS » en fonction du « Temps jusqu'à défaillance EOS » est mieux décrite par la relation linéaire donnée par l'équation suivante où $T_{b_EOS_f}$ est exprimé en s :

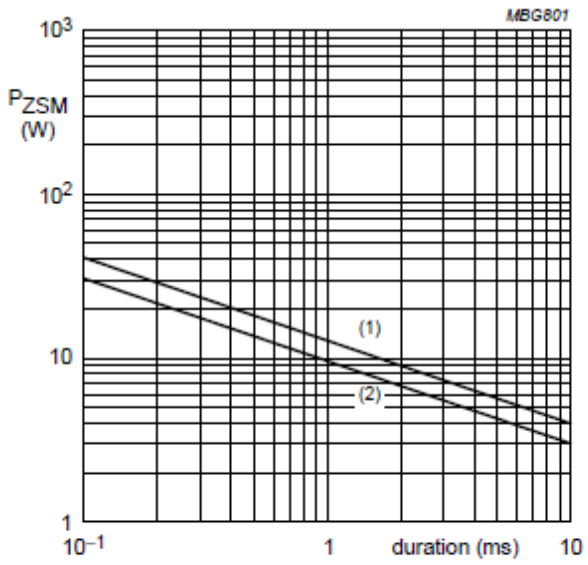
$$E_{Tot\text{-}b_EOS_f}=2{,}2T_{b_EOS_f}+0{,}21. \quad (4\text{-}7)$$

La diode est alors dans sa zone « Puissance constante » avec $P_{t_EOS_f}$=2,2W. Quand on cherche à raccorder cette zone « Puissance constante » avec la zone donnée par l'équation (4-6), on trouve que cela se fait autour de 100ms.

Une légère différence entre les deux formes d'onde est observée dans la Figure 4-5. C'est à cause de la différence du temps de montée entre le signal carrée et le signal en double exponentielle. Si l'on continue le test, une zone de ligne droite de la Figure 4-3 est observée. Ce comportement peut s'interpréter avec la différence entre l'énergie déposée et l'énergie dissipée en régime d'équilibre de thermique équilibre où l'effet capacité thermique est moindre.

4.2.2.5. Comparaison avec les données de constructeur

Le constructeur fournit, comme seules informations sur le comportement de la BZX84-B6V8 lors de surcharges, celles contenues dans la Figure 4-7 et une puissance maximale permanente de 0,25W. La Figure 4-7 donne la relation entre la puissance maximale que peut dissiper la diode en inverse en fonction de la durée du stress en mode non répétitif. Dans cette figure, la courbe qui nous concerne est la courbe (1) car tous les essais ont été faits à l'ambiant avec une diode neuve non préalablement polarisée.



(1) T_j = 25 °C (prior to surge).
(2) T_j = 150 °C (prior to surge).

Figure 4-7 : BZX84-B6V8 - Puissance max dissipée en fonction de la durée en mode non répétitif.

En recherchant la relation mathématique liant les points de la courbe (1) de cette Figure 4-7, on obtient l'équation :

$$P_{ZSM}=0,3671(T_{pulse})^{-0,514}. \quad (4\text{-}8)$$

Il convient de noter que le constructeur ne fournit pas explicitement le critère qui délimite cette zone de fonctionnement sans dommages (SOA : Safe Operating Area) mais se réfère au standard JESD211 [66].

Le standard JESD211 définit P_{ZSM} comme étant la puissance maximale dissipée par la diode lors d'une surcharge, de la façon suivante :

$$P_{ZSM}=V_Z.I_{ZSM}. \quad (4\text{-}9)$$

Où :

- I_{ZSM} est le courant maximum inverse que peut supporter la diode Zener. Ce courant est défini comme le courant maximum que peut supporter la diode en inverse « sans dommage » et « de façon répétée ». Le terme « sans dommage » correspond au fait que le courant de fuite inverse I_R reste dans les spécifications après la surcharge, quand la diode est à nouveau à la température spécifiée T=25°C, par rapport à avant la surcharge à la même température T=25°C. Le standard JESD211 ne donne pas de pourcentage maximum pour la variation du courant I_R avant et après surcharge.
- V_Z est la tension Zener maximale mesurée pendant la surcharge afin de vérifier que cette tension Zener n'a pas chuté en dessous de la tension Zener nominale définie à T=25°C.

Cette définition de P_{ZSM} fait penser aux effets constatés lors des essais effectués sur la diode BZX84-B6V8 ; c'est-à-dire une diminution brusque de la tension Zener quand la seconde avalanche apparait. On peut donc faire l'hypothèse que notre modèle « $P_{t_EOS_f}$ en fonction $T_{b_EOS_f}$ » et la courbe donnée par le constructeur « P_{ZSM} en fonction de la durée du pulse » décrivent les mêmes limites de fonctionnement ; c'est-à-dire la limite d'apparition de la 2nde avalanche et doivent être similaires en termes d'ordre de grandeurs.

L'équation (3-8) correspond à une courbe de Wunsch & Bell classique valable dans une zone allant de 0,1ms à 10ms. Nous pouvons donc comparer cette courbe avec celles produites par les essais effectués lors du projet. Cette comparaison est donnée sur la Figure 4-8.

Sur la Figure 4-8, on peut constater que :

- Le critère pour délimiter la zone de fonctionnement sans dommages (SOA : Safe Operating Area) au sens du standard JESD211 est bien celui qui correspond à l'apparition de la 2nde avalanche pour les impulsions de durée inférieure à 10ms.

- Pour les impulsions de durée supérieure à 10ms, le constructeur ne fournit pas d'informations et que si l'on prolonge la courbe P_{ZSM} de Figure 4-7, on sous-estime la tenue au stress de la diode.

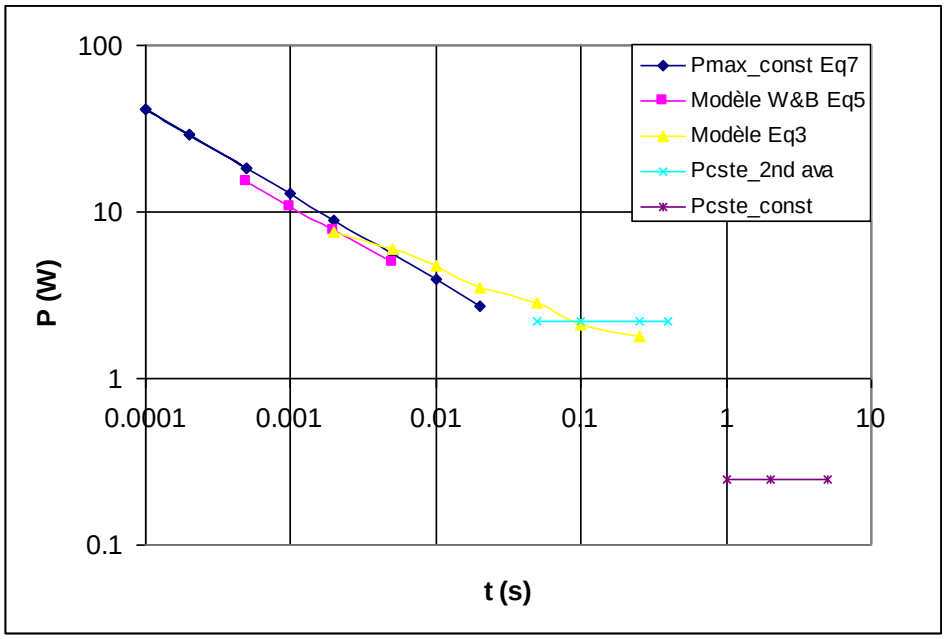


Figure 4-8 : BZX84-B6V8 - Comparaison Puissance max dissipée et Puissance jusqu'à défaillance EOS.

4.2.2.6. Conclusion

Avec ces expériences, nous avons modélisé le comportement « Energie jusqu'à défaillance EOS » (Energy to EOS_Failure) en fonction du « Temps jusqu'à défaillance EOS » (Time to EOS_Failure) pour la diode BZX84B-6V8 en présence de stress EOS.

Cette relation est donnée par l'équation (4-2), avec $T_{b_EOS_f}$ exprimé en s, valable sur une plage de temps allant de quelques ms à une centaine de ms et indépendante de la forme d'onde du stress. Comme en atteste la Figure 4-8, ce modèle est très proche du modèle « P_{ZSM} en fonction de la durée du

pulse » fourni par le constructeur dans la plage 2ms à 10ms. À 10ms l'écart est le plus important et notre modèle donne $P_{t_EOS_f}$(10ms) =4,8W contre P_{ZSM}(10ms) =3,9W pour le modèle constructeur.

En dessous de 2ms, il vaut mieux utiliser le modèle « Adiabatique » où l'« Energy to EOS_Failure » dépend du « Time to EOS_Failure » à la puissance 0,5. La limite de 2ms est indicative et dépend bien évidemment du composant testé au travers de ses propriétés thermiques. Ce modèle peut être obtenu directement à partir du modèle « P_{ZSM} en fonction de la durée du pulse » fourni par le constructeur.

Au-delà de 100ms, la diode est dans sa zone « Puissance constante » avec $P_{t_EOS_f}$=2,2W mais aucun essai n'a été fait pour vérifier si la diode pouvait supporter cette puissance de façon permanente.

En conclusion, on peut dire que les informations données par le constructeur ne permettent d'évaluer précisément le comportement EOS de la diode que pour des durées de stress inférieures à 10ms. Il serait souhaitable d'avoir des informations pour des durées de surcharges supérieures à 10ms.

4.2.3. Énergie d'activation pour le circuit intégré CMOS TDA8007

4.2.3.1. Introduction

Le TDA8007 a été testé en « Energy to EOS_Failure » en fonction du « Time to EOS_Failure » en utilisant la méthode du shunt variable et pour une onde carrée. De plus, 2 configurations ont été réalisées :

- Avec la broche V_{DD} reliée à une alimentation +5V et découplée par rapport à la masse par une capacité de 220nF,
- Avec la broche V_{DD} non connectée à une source DC mais toujours découplée par rapport à la masse par une capacité de 220nF.

L'objectif est de voir quelle est la configuration la plus sensible aux EOS.

4.2.3.2. Rappel des résultats de mesures

Les résultats de mesures sont donnés dans le Tableau 4-3 pour la configuration avec alimentation et dans le Tableau 4-4 pour la configuration sans alimentation.

Ces tableaux sont présentés sous forme graphique sur la Figure 4-9, courbe bleue pour la configuration avec alimentation et courbe rouge pour la configuration sans alimentation.

R_s (Ω)	$T_{b_EOS_f}$ (ms)	$E_{Tot_b_EOS_f}$ (J)
7	6,34	0,02585
8	7,68	0,02972
9	10,75	0,04107
10	12,62	0,04551
11	17,25	0,05723
12	20,95	0,06759

Tableau 4-3 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme carrée - TDA8007 avec alimentation.

R_s (Ω)	$T_{b_EOS_f}$ (ms)	$E_{Tot_b_EOS_f}$ (mJ)
10	1,068	3,498
11	1,22	3,863
12	1,43	4,365
13	1,67	4,876
14	1,85	5,197
15	3,58	9,176

Tableau 4-4 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme carrée - TDA8007 sans alimentation.

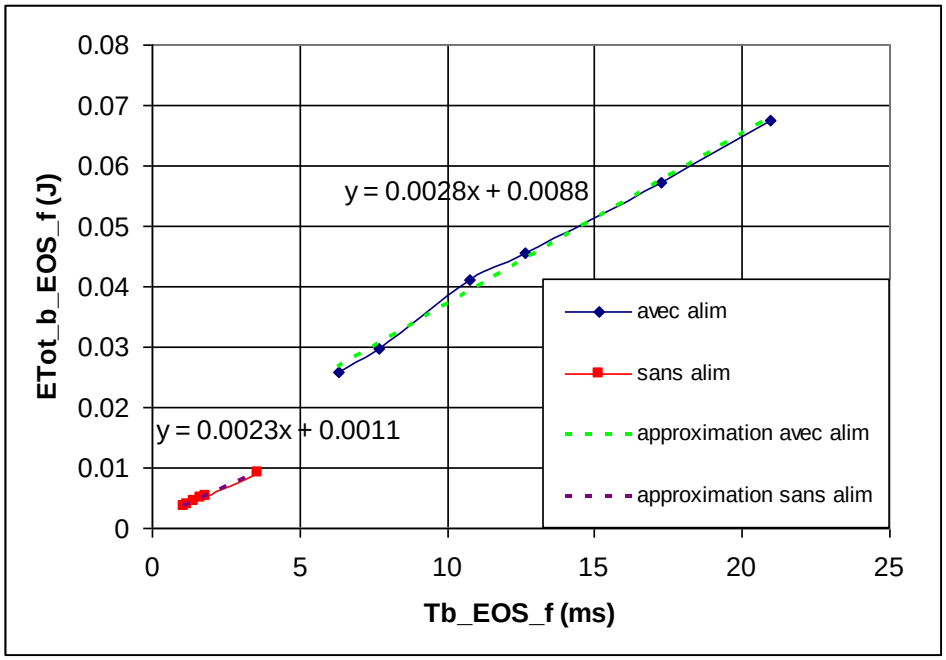


Figure 4-9 : Énergie $E_{Tot_b_EOS_f}$ en fonction de $T_{b_EOS_f}$ - Forme carrée - Courbe bleue : TDA8007 avec alimentation. Courbe rouge : TDA8007 sans alimentation.

4.2.3.3. Analyse des résultats

Sur la Figure 4-9, on constate que la configuration avec alimentation est plus robuste que la configuration sans alimentation car pour un même « Time to EOS_Failure », l'« Energy to EOS_Failure » en configuration avec alimentation est plus élevée que pour la configuration sans alimentation.

Dans les deux cas, avec et sans alimentation, la relation « Energy to EOS_Failure » en fonction du « Time to EOS_Failure » est de type linéaire dans la plage de durées considérées. L'approche « échelles logarithmiques » utilisée pour la diode Zener ne donne pas ici de meilleurs résultats en termes d'ajustement aux données expérimentales.

Pour la configuration avec alimentation, l'énergie en fonction de $T_{b_EOS_f}$ exprimée en s est définie par :

$$E_{Tot\text{-}b_EOS_f}=2{,}8(T_{b_EOS_f})+0{,}0088. \quad (4\text{-}10)$$

Pour la configuration sans alimentation, l'énergie en fonction de Tb_EOS_f exprimé en s est donnée par :

$$E_{Tot\text{-}b_EOS_f}=2{,}3(T_{b_EOS_f})+0{,}0011. \quad (4\text{-}11)$$

Par dérivation des équations (4-10) et (4-11), on obtient la puissance jusqu'à défaillance due au stress EOS. Cette puissance jusqu'à défaillance est pour la configuration avec alimentation $P_{t_EOS_f_alim}$=2.8W. Pour la configuration sans alimentation, cette puissance jusqu'à défaillance est $P_{t_EOS_f_ssalim}$=2.3W.

4.2.3.4. Conclusion

Les travaux menés ont conduit à établir le modèle de comportement de la broche CS du TDA8007 face aux stress EOS. Le modèle obtenu correspond à un composant sensible à l'énergie mais qui, dans la plage de durée avant défaillance comprise entre 1ms et 20ms, se trouve dans la zone « puissance avant défaillance » constante. Bien que les essais n'aient pas été faits, ce modèle à puissance constante avant défaillance doit être applicable au-delà de 20ms. Cette puissance jusqu'à défaillance est pour la configuration avec alimentation $P_{t_EOS_f_alim}$=2,8W. Pour la configuration sans alimentation moins robuste au stress EOS, cette puissance jusqu'à défaillance n'est que de $P_{t_EOS_f_ssalim}$=2,3W.

4.2.4. Conclusion

Le paragraphe 4.2 a permis d'établir pour la diode Zener et la broche CS du TDA 8007 la relation liant l'énergie totale reçue jusqu'à défaillance EOS et le temps jusqu'à défaillance EOS. En ce qui concerne la diode Zener, les résultats obtenus ont pu être comparés avec les informations données par le constructeur et les deux modèles correspondent pour des durées de stress inférieures à 10ms ; au-delà, les informations données par le constructeur semblent sous-estimer la tenue EOS de la Zener. Pour la broche CS du TDA 8007, nous avons obtenu un modèle « puissance constante » pour une durée de stress comprise entre 1 et 20ms ; malheureusement, faute d'informations données par le constructeur, le modèle n'a pas pu être conforté. C'est donc le modèle de la diode Zener que nous allons intégrer dans des outils de simulation électronique.

4.3. Modélisation et simulation

4.3.1 Introduction

L'introduction massive de fonctions électroniques dans des systèmes complexes tels que ceux rencontrés dans des secteurs automobile et aéronautique a mis en évidence le besoin en outils de simulation pour remplacer les essais sur prototypes. Ces essais souvent itératifs, consommateurs de temps et responsables de surcoût pourraient alors être remplacés par une approche simulation aussi tôt que possible dans la phase de conception pour éviter des étapes de reprise de conception suite à des essais non concluants dans les phases d'intégration système.

Dans ce contexte, il est nécessaire de développer un modèle électrique des composants soumis à des stress EOS. Ce modèle doit faire apparaitre le comportement du composant au cours du stress. Le véhicule de test retenu pour cette modélisation est la diode Zener BZX84-B6V8 sur laquelle des nombreuses informations ont été recueillies au cours de thèse ; en particulier son comportement physique au moment où le stress subi devint un over-stress et déclenche le phénomène de 2nde avalanche.

Ce modèle devant pouvoir être utilisé dans des environnements de simulation disponibles commercialement, nous avons considéré deux possibilités qui possèdent leurs avantages respectifs pour établir ce modèle :

- SPICE
- VHDL-AMS

4.3.2. Les langages de modélisation

4.3.2.1. SPICE

Le langage de modélisation SPICE est devenu un outil standard pour les ingénieurs électroniciens et électriciens pour la simulation des circuits et des systèmes électroniques. Ce langage offre un avantage considérable pour sa souplesse et aussi bien la possibilité de l'intégrer à des outils à interfaces graphiques. Néanmoins, il présente certaines limites sur les points suivants :

- La modélisation de signaux mixtes avec présence des données numériques et des signaux analogiques,
- La conception et simulation des circuits mémoires avec prise en compte des niveaux structurels détaillés,
- La modélisation analogique comportementale des CI avec prise en compte de l'effet mémoire requis,
- Et notamment, la prise en compte des phénomènes physiques fondamentaux à savoir les effets EOS.

4.3.2.2. VHDL-AMS

« VHDL » (« VHSIC = Hardware Description Language » avec « VHSIC = Very High Speed Integrated Circuits ») est un puissant langage qui permet d'effectuer une description matérielle des circuits électroniques mixtes. Il nous permet de simuler aussi les circuits électriques. Pour pouvoir

simplifier le travail spécifié à la modélisation de systèmes continus et mixtes, on a créé la version étendue nommée « VHDL-AMS » (« AMS = Advanced and Mixed Signal »). Ce simulateur est basé sur la combinaison des équations différentielles ou algébriques avec des fonctions de contrôle numériques. Cette version a été labellisée comme standard IEEE – VHDL 1076.1. VHDL – AMS peut permettre la description et la simulation de systèmes mixtes analogiques et numériques.

Les instructions et les syntaxes du langage VHDL-AMS ont beaucoup des points communs à celles des langages comme C/C++, SPICE, Verilog, et Matlab. La description d'un système par VHDL-AMS est généralement basée sur sa modélisation similaire au système automatique. La connaissance des paramètres d'entrées et de sorties et la traduction mathématique du système est fondamentale.

À partir des analyses précédentes, il a été conclu que c'est la température de la jonction de diode Zener qui entraine un second claquage. Il est plus facile d'introduire le paramètre de température dans notre modèle avec VHDL-AMS que sous SPICE.

4.3.2.3. Types de modèle EOS pour la Zener BZX84-B6V8

Pour l'étude de fiabilité durant la phase de conception des composants, il est important de se servir d'un modèle prédictif de dégradation électrique. Le modèle prédictif de la diode qui a été caractérisée dans les précédents paragraphes a été établi à partir de la réponse transitoire et de la caractéristique I(V) de la diode Zener durant et après l'EOS. La méthodologie est basée sur l'interaction entre l'état électrique et les caractéristiques thermiques du composant. Il s'agit d'un modèle électrothermique qui régit l'auto-échauffement du composant. Ce modèle est fondamentalement traduit par l'équation qui régit le fonctionnement du circuit équivalent en régime transitoire. On pourra l'exprimer ainsi en différents langages circuits comme SPICE et VHDL-AMS.

Le travail de modélisation du comportement EOS des composants, réalisé pendant la thèse, concerne la diode Zener BZX84-B6V8. Deux types de modèles ont été définis ; des modèles « comportementaux du composant aux stress EOS » et un modèle « composant physique ».

Les modèles « comportementaux du composant aux stress EOS » proposés sont du type « Énergie acceptable avant défaillance » en fonction du « Temps avant défaillance ». Ils permettent de voir si le composant travaille dans sa zone de « Fonctionnement sans défaillance » ou pas et peuvent être inclus dans un simulateur de type SPICE. La méthodologie suivie pour déterminer expérimentalement des modèles de comportement EOS de composants électroniques est présentée et appliquée pour la diode Zener BZX84-B6V8 et pourra être étendue à l'entrée CS du TDA8007. Elle est basée sur la

détermination de courbes « Energy to EOS_Failure » en fonction du « Time to EOS_Failure » avec, pour chaque modèle, le domaine de validité en fonction de la durée des stress appliqués.

Le modèle « composant physique » est le modèle électrothermique complet de la diode BZX84-B6V8 incluant tous les phénomènes physiques identifiés pendant les essais : l'effet Zener, l'auto-échauffement, l'effet de la température sur l'ionisation par impact et aussi l'effet de 2nde avalanche. Ce modèle peut être inclus dans un simulateur de type VHDL-AMS. Le modèle proposé représente fidèlement le comportement de la diode pendant les essais et est capable de prédire l'apparition de ce phénomène de 2nde avalanche et d'indiquer par la forme d'onde aux bornes de la diode que celle-ci est dans un fonctionnement en surcharge qui peut entrainer des défaillances.

4.4. Modélisation physique électrothermique de la diode Zener BZX84-B6V8 avec VHDL-AMS

4.4.1. Introduction

La méthodologie globale pour établir, avec VHDL-AMS, un modèle EOS/OVS comportant un couplage électrothermique est représenté sur la Figure 4-10. Ce modèle prédictif a fait l'objet de l'article [J1]

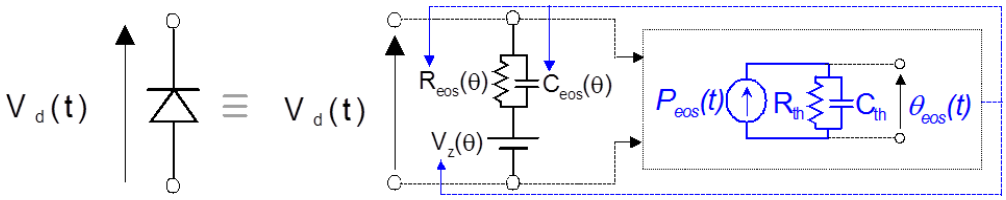


Figure 4-10: Modèle EOS prédictive électrothermique de la diode sous test [J1].

La partie électrique du modèle est représentée en noir et sa partie thermique est représentée en bleu. La puissance électrique absorbée par la diode constitue la source de flux pour la partie thermique et est équivalente, en électricité, à une source de courant. La sortie de la partie thermique est l'augmentation de température qui va agir à son tour sur le circuit électrique pour contrôler les éléments du schéma équivalent électrique de la diode. La différence de température est équivalente, en électricité, à une différence de potentiel.

Les paramètres R_{th} et C_{th} sont respectivement la résistance thermique et la capacité thermique de la diode dans son boîtier.

4.4.2. Modèle électrothermique complet de la Zener BZX84-B6V8

4.4.2.1. Introduction

Pour établir le modèle électrothermique de la diode BZX84-B6V8 permettant de mettre en évidence la dégradation par 2nde avalanche et donc de déterminer son comportement physique face à un stress EOS, nous avons procédé par étapes successives :

- Modèle 1 : Modélisation d'une diode,
- Modèle 2 : Modélisation de l'effet de Zener,
- Modèle 3 : Modèle précédent plus prise en compte de l'auto-échauffement,
- Modèle 4 : Modèle précédent avec la prise en compte de la dépendance de l'ionisation par impact par rapport à la température,
- Modèle 5 : Modèle précédent avec la prise en compte de l'effet de 2nde avalanche ; ce modèle étant celui dont on a besoin pour déterminer le comportement physique de la diode Zener face à un stress EOS.

Chaque étape d'action à suivre pour établir un tel modèle est détaillée dans les paragraphes suivants afin de constituer un guide méthodologique.

4.4.2.2. Modèle 1 : La diode

Pour une diode normale, on utilise l'équation de courant de saturation établie par Shockley inclut dans le modèle PSPICE fourni par NXP :

$$i_d = I_s \times \left(e^{\frac{v_d}{N \cdot v_t}} - 1 \right). \qquad (4\text{-}12)$$

Dans cette équation, les différents paramètres sont :

i_d : le courant de diode,

I_S : le courant de saturation de la diode,

v_d : la tension aux bornes de la diode,

v_t : la tension thermique,

N : le coefficient d'idéalité de la jonction.

Le coefficient d'idéalité de la jonction varie entre 1 et 2 en fonction de la technique de fabrication et du matériau semi-conducteur utilisé. Dans l'équation de Shockley, il est généralement mis à 1. La tension thermique v_t vaut environ 25,85 mV à T=300°K qui correspond à la température ambiante habituellement utilisée dans les logiciels de simulation. À une température T quelconque, v_t est définie par l'équation :

$$v_t = \frac{kT}{q}, \tag{4-13}$$

avec k : la constante de Boltzmann, T : la température en K de la jonction P/N et q : la charge d'un électron.

4.4.2.3. Modèle 2 : La diode Zener

Pour pouvoir intégrer dans modèle l'effet Zener, on utilise l'équation (4-14). Cette équation permet générer le courant inverse dans la diode après le coude Zener.

$$i_{rb} = I_{BV} \times \left(e^{-\frac{v_d - V_{BV}}{v_t}} - 1 \right), \tag{4-14}$$

avec :

i_{rb} : le courant inverse dans la diode,

I_{BV} : le courant de claquage de la diode,

V_{BV} : la tension inverse de claquage,

v_d : la tension inverse aux bornes de la diode,

v_t : la tension de thermique.

Les mêmes paramètres que ceux qui sont fournis par SPICE sont utilisés dans cette étude pour les équations (4-12), (4-13) et (4-14). Pour valider le modèle 2, une simulation a été faite en utilisant notre modèle implémenté dans le simulateur SystemVision de Mentor Graphics basés sous le langage VHDL-AMS. Ce logiciel permet de simuler notre modèle avec une possibilité de comparaison avec des composants de type SPICE prédéfinis dans la bibliothèque du simulateur.

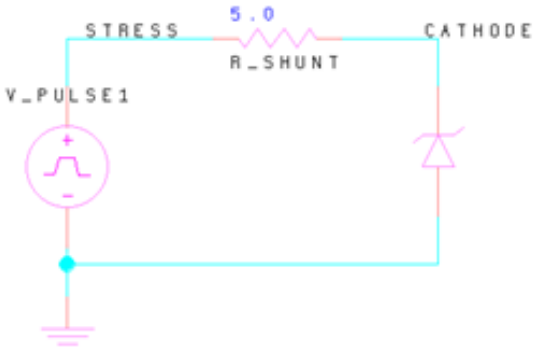


Figure 4-11: Schéma de simulation pour la diode Zener-Modèle 2.

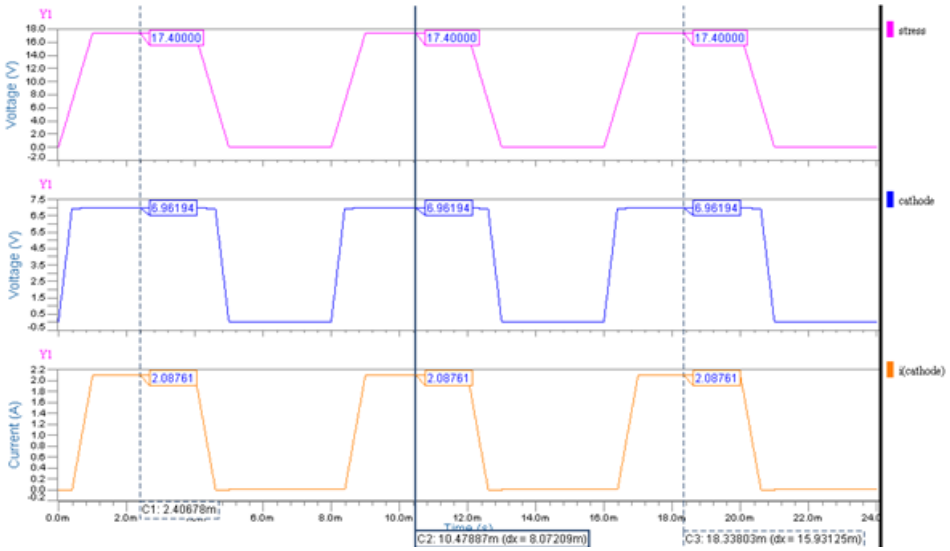


Figure 4-12: Résultats de simulation de la diode Zener-Modèle 2.

Sur la Figure 4-11, le modèle 2 de la diode est stressé par une source d'impulsion de forme d'onde carrée d'amplitude 17,4V avec une résistance de shunt égale à 5Ω en série. Il s'agit de reproduire les conditions de test de la diode vues dans le précédent chapitre.

Le résultat de simulation est affiché sur la Figure 4-12. Trois impulsions carrées successives de 4ms avec un intervalle de 3ms stressent la diode Zener. La 1ère courbe est le signal de stress. La tension aux bornes de la diode représentée par la 2ème courbe est visiblement limitée à 6,9V. Cette observation nous confirme que l'effet Zener est effectif au niveau de la diode. Le courant dans la diode représenté par la dernière courbe atteint une amplitude d'environ 2A durant le stress. Cette simulation permet de valider le modèle 2.

4.4.2.4. Modèle 3 : Modèle 2 avec auto-échauffement

Pour intégrer l'effet de l'auto-échauffement, il faut prendre en compte les paramètres thermiques transitoires de la diode la résistance thermique R_{th} et la capacité thermique C_{th}. Comme nous n'avons pas de données précises sur les valeurs de ces deux paramètres, nous nous procédons à une optimisation par ajustement linéaire.

Le schéma de simulation est représenté sur la Figure 4-13. L'amplitude de la tension de stress carrée a été fixée encore à 17,4V avec une résistance shunt en série de 5Ω. Dans la partie thermique, la puissance, qui est égale au produit de la tension aux bornes de la diode v_d et du courant dans la diode i_d, est considérée comme un flux de chaleur.

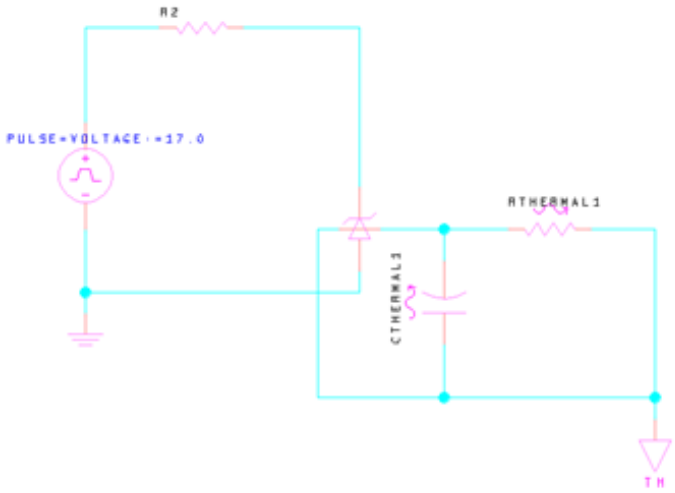


Figure 4-13: Schéma de simulation pour diode Zener avec auto-échauffement-Modèle 3

La variation de température de la jonction ΔT est déterminée en utilisant l'équation :

$$P = \frac{\Delta T}{R_{th}} + C_{th.} \frac{d\Delta T}{dt}. \qquad (4\text{-}15)$$

Dans l'équation (4-15), les différents paramètres sont :

P : la puissance dissipée par la jonction de diode,

ΔT : la différence entre la température de jonction et la température de référence ici égale à la température ambiante,

R_{th} : la résistance thermique totale de la jonction P/N dans son boîtier entre jonction et l'ambiant,

C_{th} : la capacité thermique de la jonction P/N.

Les résultats de simulation sont tracés sur la Figure 4-14. Le but de cette simulation est de retrouver des comportements après tests expérimentaux de notre diode Zener ; à savoir une augmentation de la tension Zener quand la température de jonction augmente.

La première courbe est le signal de stress qui a une amplitude de 17,4V. La deuxième courbe est la tension aux bornes de la diode Zener. On voit que la tension Zener augmente durant une impulsion à cause de l'élévation de température de la jonction et que cette tension Zener est plus élevée pour le 2ème pulse que pour la 1ère pulse et pour la 3ème pulse que pour la 2ème pulse et cela car la diode n'a pas eu suffisamment de temps de refroidir complètement entre 2 pulses.

Ce comportement est en accord avec les résultats expérimentaux qui sont rappelés sur la Figure 4-15. Pour cet essai, la condition de stress était : V_{stress} = 17,4V, R_{shunt} = 5Ω, durée = 4ms, T_r=T_f=1ms.

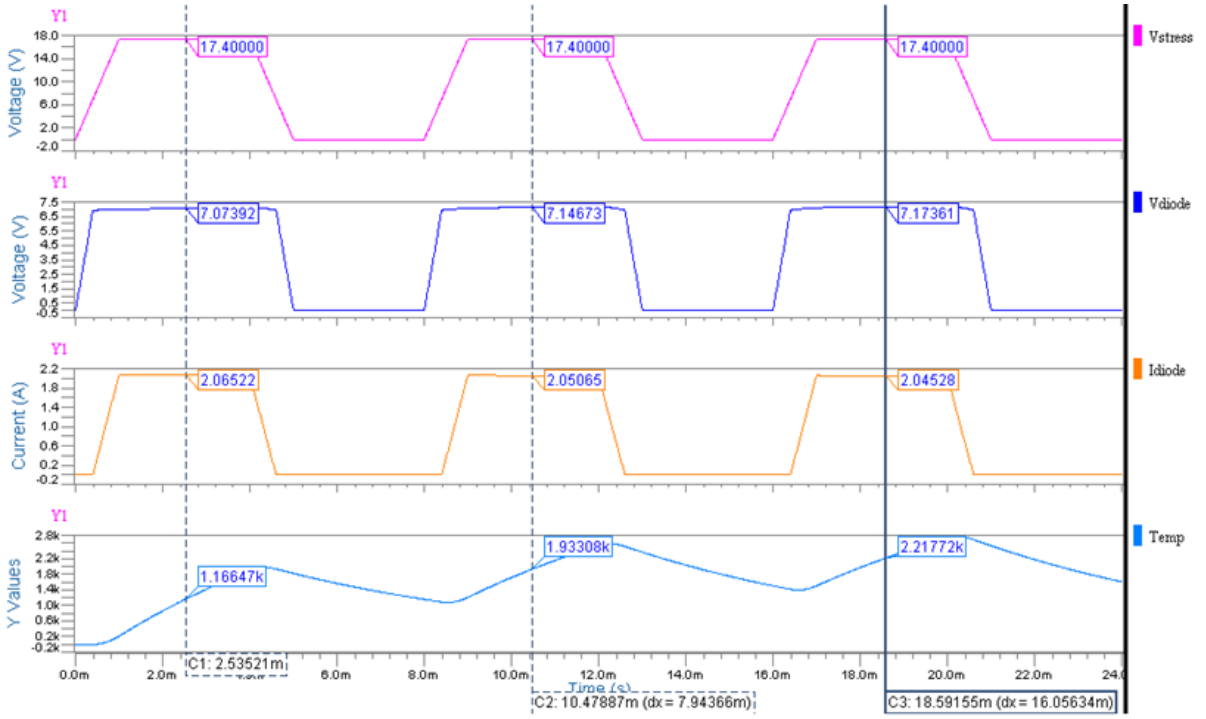


Figure 4-14: Résultat de simulation-Modèle 3.

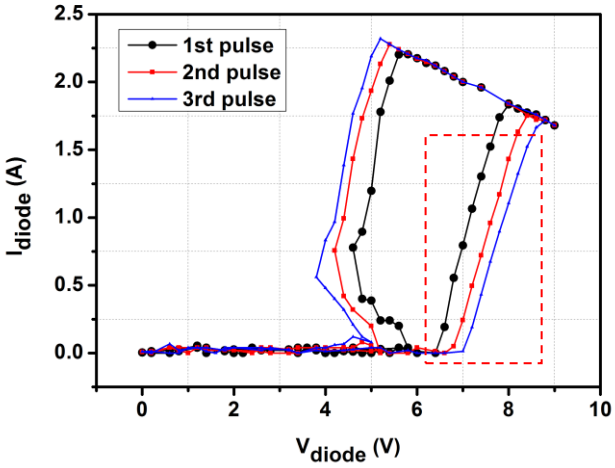


Figure 4-15 : Résultat de mesures- BZX84-B6V8 - 3 pulses successifs.

V_{stress} = 17,4V, R_{shunt} = 5Ω, durée = 4ms, t_r=t_f=1ms.

Sur la Figure 4-15 et dans la phase avant 2nde avalanche entourée en pointillé rouge, on voit que la tension Zener de la 1ère pulse (courbe noire) est bien plus faible que celle du 2ème pulse (courbe rouge), elle-même plus faible que celle du 3ème pulse (courbe bleue) et avec, pour chaque courbe, une augmentation de la tension Zener dans un pulse.

Sur la Figure 4-14, il est important de noter que l'amplitude de cette augmentation de tension Zener n'est pas cohérente aux valeurs expérimentales car l'effet de la température sur l'ionisation par impact n'est pas encore pris en compte. Ce dernier effet devrait amener cette augmentation de la tension Zener V_Z à sa valeur nominale. En effet l'ionisation par impact diminue avec la température ; ce qui amène une baisse du courant I_Z traversant la diode et donc mécaniquement une augmentation de V_Z car ces grandeurs sont liées par l'équation :

$$V_{stress} = R_s.I_Z + V_Z = \text{Constante}, \qquad (4\text{-}16)$$

avec V_{stress} est la tension de stress constante et égale à 17,4V en simulation et R_s est la résistance de shunt en série avec la diode. Sur la troisième courbe qui représente la variation de température, on observe l'augmentation de température de jonction avec un effet d'intégration par rapport à la puissance de stress dû à l'effet capacitif de C_{th}. Les températures comprises entre 1000°K et plus de 2000°K sont à considérer comme indicatives car les paramètres R_{th} et C_{th} n'ont pas encore été ajustés pour faire coïncider les simulations et les mesures. La deuxième courbe est le courant dans la diode Zener. Les résultats correspondent bien aux tests effectués montrant que la chaleur est accumulée dans la jonction de la diode Zener pendant le stress et permettent de valider le modèle 3.

4.4.2.5. Modèle 4 : Modèle 3 avec ionisation par impact dépendante de la température

Pour intégrer l'effet de la dépendance de l'ionisation par impact en fonction de la température, un circuit R//C a été placé en série avec le modèle 3 de la diode Zener comme indiqué sur la Figure 4-16. Cette prise en compte de l'effet d'ionisation par impact ne correspond pas au phénomène physique mais décrit de façon comportementale les effets électriques. Quand la source de stress apparaît, le pulse, la capacité court-circuite la résistance et on retrouve le modèle 3 seul puis quand le temps s'écoule la diode chauffe et la tension Zener V_Z doit augmenter ; ce qui se produit dans le modèle 4 car la capacité C se charge et un courant apparait dans R engendrant une augmentation de V_Z. Les valeurs de R et C sont obtenues par optimisation entre le modèle et les mesures. Les valeurs finalement retenues sont respectivement 0,8Ω pour la résistance et 3mF pour la capacité.

Sur la Figure 4-16, l'amplitude de la tension de stress est toujours fixée à 17,4V avec une résistance shunt à 5Ω. Le résultat des simulations est affiché sur la Figure 4-17.

La tension aux bornes de la diode Zener représentée en première courbe de la Figure 4-17 augmente avec la température. Ensuite, le courant de diode diminue comme le montre la troisième courbe de la Figure 4-17. Ce comportement correspond à une conductivité de la diode qui diminue avec l'augmentation de température de jonction.

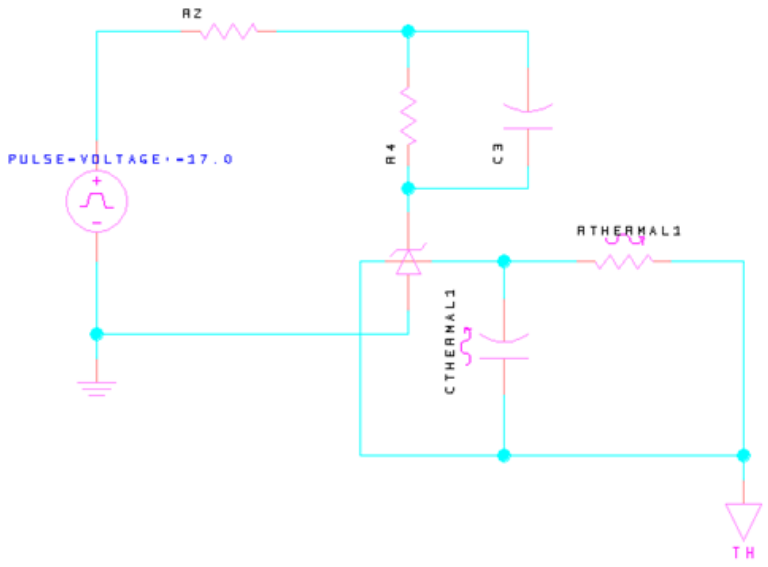


Figure 4-16 : Schéma de simulation pour diode Zener avec dépendance ionisation par rapport à la température- Modèle 4.

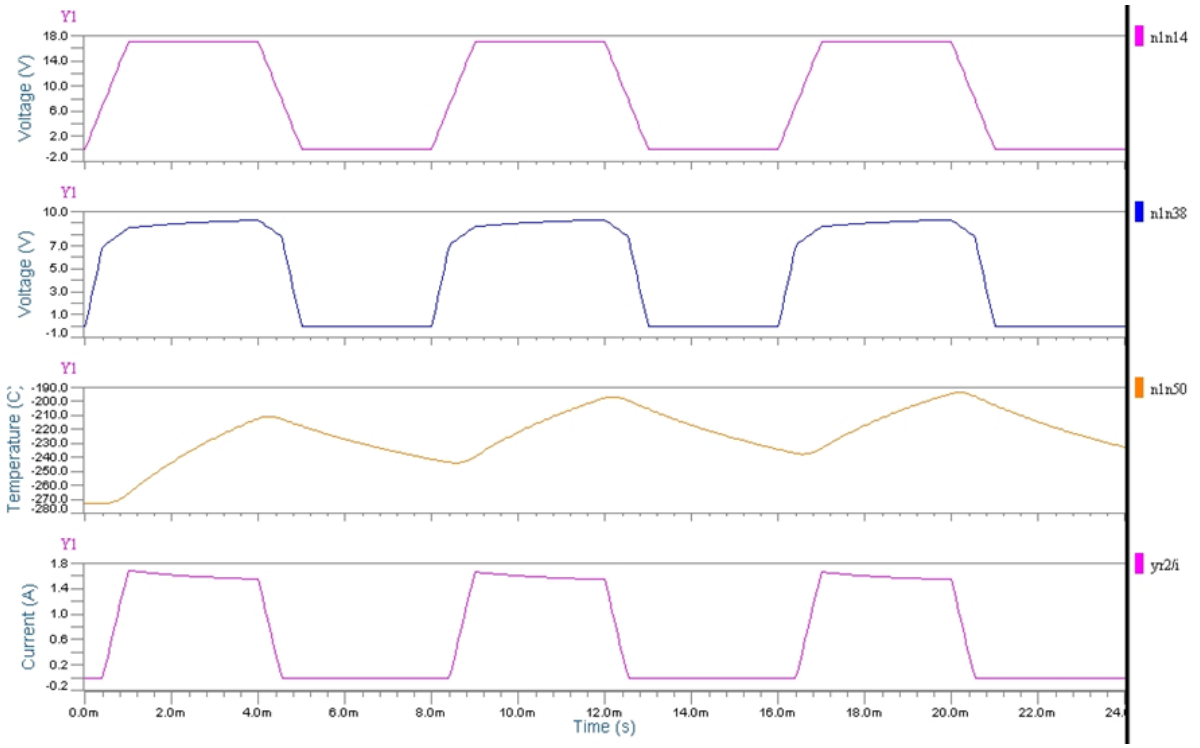


Figure 4-17 : Résultat de simulation- Modèle 4.

La dépendance en température de l'ionisation par impact est effectivement prise en compte avec le modèle 4. Une méthode alternative aurait consisté à faire évoluer le courant i_{rb}, le courant Zener dans la jonction, en fonction de la température de jonction.

4.4.2.6. Modèle 5 : Modèle 4 avec prise en compte de l'effet de 2nde avalanche

Quand la température atteint une certaine valeur notée T_{j_2bd}, la 2nde avalanche se déclenche car la génération thermique de porteurs dans la zone désertée de la jonction devient un phénomène prépondérant par rapport à l'ionisation par impact. La conductivité de la jonction de diode baisse alors très rapidement. Dans ce cas-là, la diode se comporte comme une faible résistance. On peut calculer la valeur de cette faible résistance à partir de la pente de la courbe mesurée pendant le stress.

En effet, la diode est remplacée par une faible résistance, notée R_{sbd} sur la Figure 4-18 qui présente le modèle 5, qui vaut 2,54Ω.

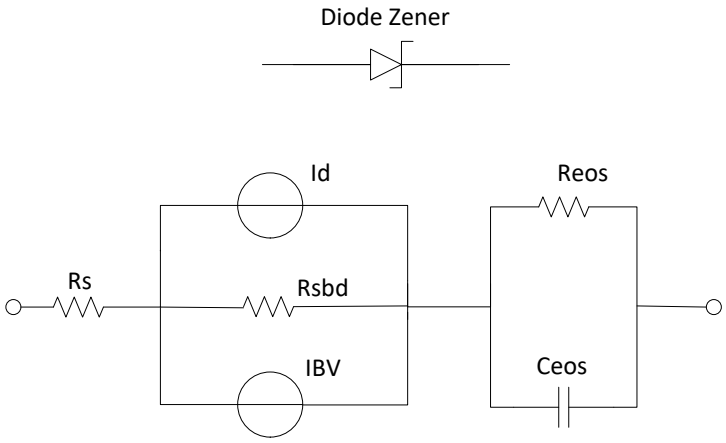


Figure 4-18 : Diode Zener BZX84-B6V8 – Modèle 5.

Cependant, durant cette thèse, nous n'avons pas la possibilité de mesurer la température de la jonction pendant le stress dans notre laboratoire. Pour évaluer cette température critique à laquelle se déclenche la 2nde avalanche, nous avons réutilisé les données du constructeur concernant la puissance P_{ZSM} déjà présentées au paragraphe 4.2.2.5. Comparaison avec les données de constructeur. Ces courbes sont à nouveau reproduites sur la Figure 4-19 pour plus de clarté.

Dans le paragraphe 4.2.2.5. Comparaison avec les données de constructeur, il a été remarqué que la courbe (1) à T_j=25°C avant la surcharge était donnée par l'équation (4-8). De la même façon, la courbe (2) à T_j=150°C avant la surcharge est donnée par l'équation :

$$P_{ZSM}=0{,}299(T_{pulse})^{-0{,}504} \quad . \tag{4-17}$$

Comme ces 2 courbes correspondent à des zones où la relation entre P_{ZSM} et T_{pulse} est pratiquement de la forme :

$$P_{ZSM}=A(T_{pulse})^{-0{,}5}, \tag{4-18}$$

Cela revient à dire que la diode fonctionne en régime adiabatique ; c'est-à-dire sans échange avec son environnement [58]. Dans ces conditions, l'équation (4-15) s'écrit :

$$P = C_{th.}\frac{d\Delta T}{dt} . \tag{4-19}$$

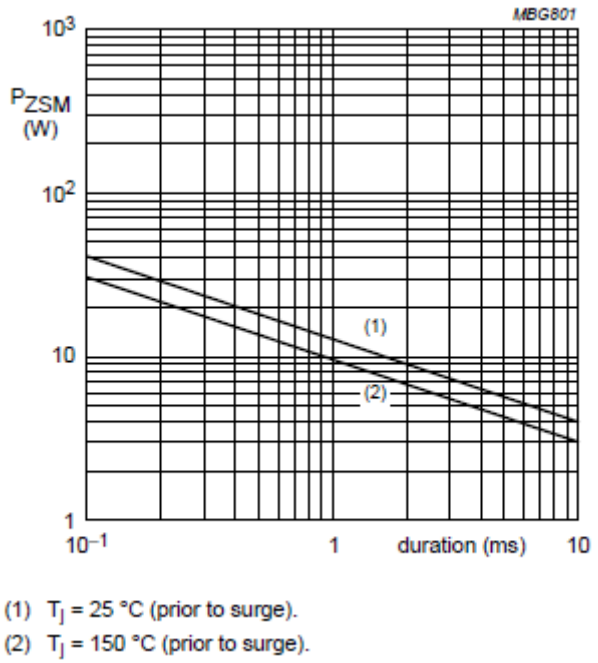


Figure 4-19 : BZX84-B6V8-Puissance max dissipée en fonction de la durée en mode non répétitif.

D'autre part, nous avons établi dans ce même paragraphe 4.2.2.5. Comparaison avec les données de constructeur que le critère définissant P_{ZSM} est la limite de l'apparition de la 2nde avalanche ; c'est-à-dire $T_j=T_{j_2bd}$. On peut alors déterminer T_{j_2bd} et C_{th} en utilisant les courbes (1) et (2) pour une même puissance P_{ZSM} et en relevant les temps de pulses correspondant ; un sur la courbe (1) noté t_1 et un sur la courbe (2) noté t_2. On obtient alors les équations suivantes :

$$C_{th}(T_{j_2bd}\text{-}25°C)=P_{ZSM}.t_1. \quad (4\text{-}20)$$

$$C_{th}(T_{j_2bd}\text{-}150°C)=P_{ZSM}.t_2. \quad (4\text{-}21)$$

En prenant P_{ZSM}=10W et en utilisant les équations (4-20) et (4-21), on obtient t_2=1ms et t_1=1,53ms puis C_{th}=4,24µJ/°C et T_{j_2bd}=386°C. Ces 2 dernières valeurs ne sont pas de valeurs précises car issues d'un graphique imprécis mais des ordres de grandeurs qui vont permettre de caler les résultats de simulation.

Pour valider le modèle 5, nous avons rassemblé toutes les parties du modèle 5 dans un seul composant et le code VHDL-AMS contient toutes les équations que nous avons utilisées. Le circuit a toujours été testé dans les mêmes conditions de stress : une source de stress avec 3 impulsions de 4ms espacés de 3ms d'amplitude 17,4V avec une résistance shunt à 5Ω. Le schéma correspondant est donné sur la Figure 4-20.

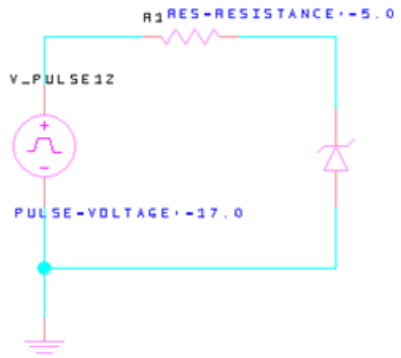


Figure 4-20 : Schéma de simulation BZX84-B6V8 – Modèle 5.

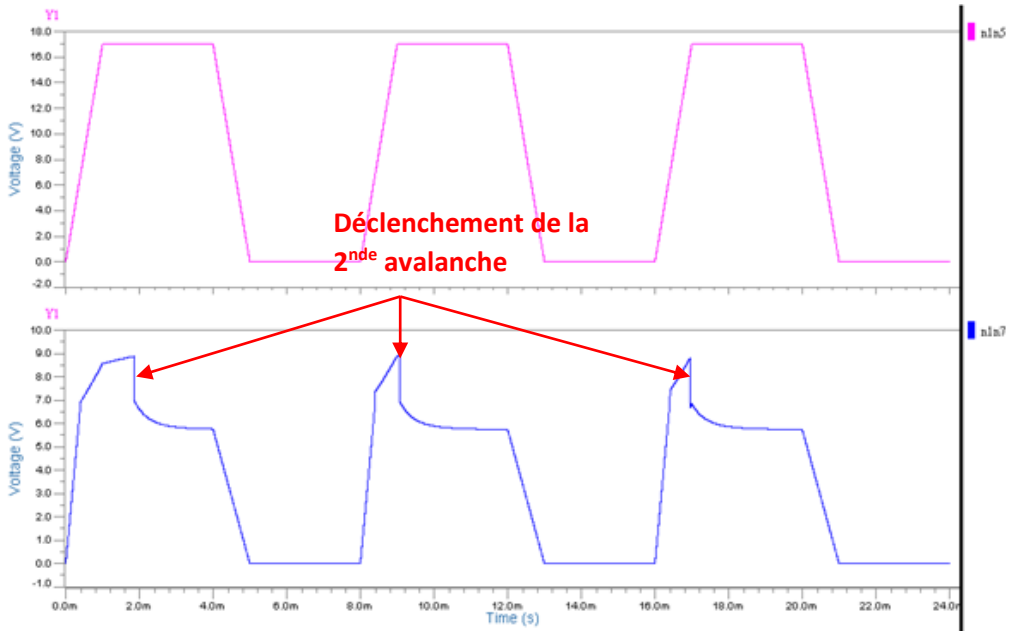


Figure 4-21: Réponse du circuit de la Figure 4-20.

Les résultats de simulation sont donnés sur la Figure 4-21: Réponse du circuit de la . La première courbe est la tension aux bornes de la diode. On peut voir effectivement que les effets observés lors des tests expérimentaux sont qualitativement présents ; à savoir l'effet de l'auto-échauffement, l'effet ionisation par impact diminuant avec la température et aussi l'effet de 2nde avalanche qui se déclenche.

4.4.2.7. Optimisation du modèle électronique de la Zener BZX84-B6V8

Pour valider le modèle 6 et déterminer plus précisément ses paramètres, une optimisation a été faite pour obtenir avec le modèle 5. Les résultats obtenus lors du stress de diodes avec 3 impulsions de 4ms espacés de 3ms d'amplitude 17,4V avec un shunt de 5Ω sont donnés sur la Figure 4-22. La courbe en bleu et la courbe en rouge sont, respectivement, la tension de stress et la tension aux bornes de la diode enregistrées par l'oscilloscope pendant l'essai de stress. La courbe en noire est la tension aux bornes

de la diode simulée avec le code VHDL-AMS après optimisation des paramètres du modèle 5 avec la même source de stress et le même shunt.

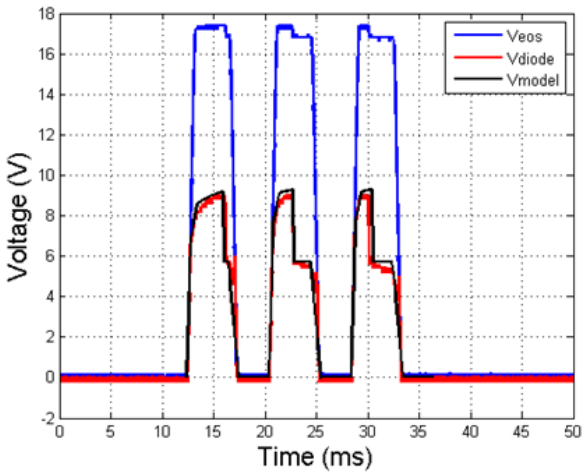


Figure 4-22: BZX84-B6V8 - Comparaison simulations (modèle 5 optimisé)//mesures.

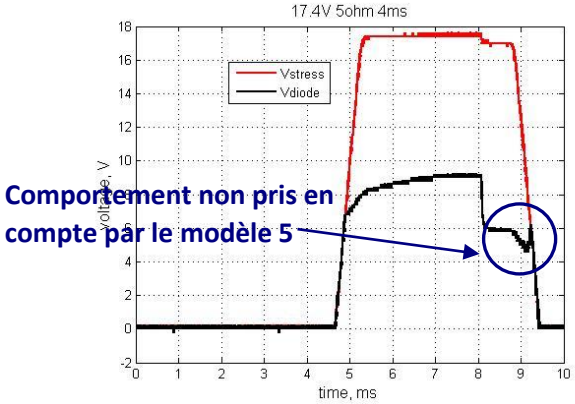


Figure 4-23 : BZX84-B6V8 - Stress carré, 17,4V, 4ms, 5Ω.

Même si le modèle 6 ne prend pas en compte le comportement de la diode lors de la fin d'une impulsion de stress, le modèle et la mesure coïncident dans la phase d'apparition de la 2nde avalanche. Durant la phase de descente, une augmentation de la tension aux bornes de la diode telle qu'elle est visible sur la Figure 4-23 est apparue. Dans cette période, les deux courbes de tension aux bornes de la diode, V_{model} correspondant à la mesure et corroborent avec V_{diode} qui représente la simulation. Le modèle 6 est donc capable de prédire l'apparition de ce phénomène de 2nde avalanche et d'indiquer par la forme d'onde aux bornes de la diode. Ce constat peut être observé lorsque la diode est dans un fonctionnement en surcharge qui peut entrainer des défaillances.

4.5. Modèle comportemental SPICE EOS de la diode Zener BZX84-B6V8

4.5.1. Expression du besoin

Le modèle retenu pour montrer la faisabilité de l'intégration dans SPICE d'un modèle EOS de composant est le modèle de la diode Zener BZX84-B6V8 dans sa version « modèle comportemental » ; c'est-à-dire en utilisant le modèle de comportement du composant qui permet de prédire l'apparition du phénomène de seconde avalanche qui peut endommager la diode s'il dure trop longtemps ou s'il est répété plusieurs au cours de la vie du composant.

Ce modèle permet d'établir la relation qui existe entre l'énergie reçue par la diode Zener depuis le début du stress avant l'apparition de la 2nde avalanche et le temps qui s'est écoulé depuis le début du stress avant l'apparition de la 2nde avalanche. Ce modèle a été baptisé « Énergie totale reçue avant défaillance EOS, notée $E_{Tot\text{-}b_EOS_f}$ » versus « Temps avant défaillance EOS, noté $T_{b_EOS_f}$ ». La relation expérimentale liant ces deux grandeurs est donnée par l'équation (4-2) et est valide pour des stress de durées comprises entre quelques millisecondes et quelques dizaines de millisecondes.

Pour tirer pleinement avantage d'un tel modèle, il est préférable de l'intégrer dans un outil de simulation sous peine d'avoir à faire de nombreux calculs annexes pour savoir si le stress appliqué à la diode la fait passer au-delà de cette limite ou pas.

L'outil de simulation retenu pour l'intégration du modèle est SPICE qui est le moteur de simulation le plus utilisé.

4.5.2. Modèle SPICE EOS de la BZX84-B6V8

Le modèle SPICE complet est représenté sur la Figure 4-24. Les éléments qui le composent sont explicités ci-dessous.

- Le générateur V1 est le générateur de stress et R1 est le shunt utilisé dans les essais OVS pour limiter le courant maximum dans l'objet sous et permettre la mesure de ce courant.

- L'ensemble D3/R2/C1/R3 modélise la diode Zener BZX84-B6V8 avec l'auto-échauffement grâce à la cellule R2//C1.

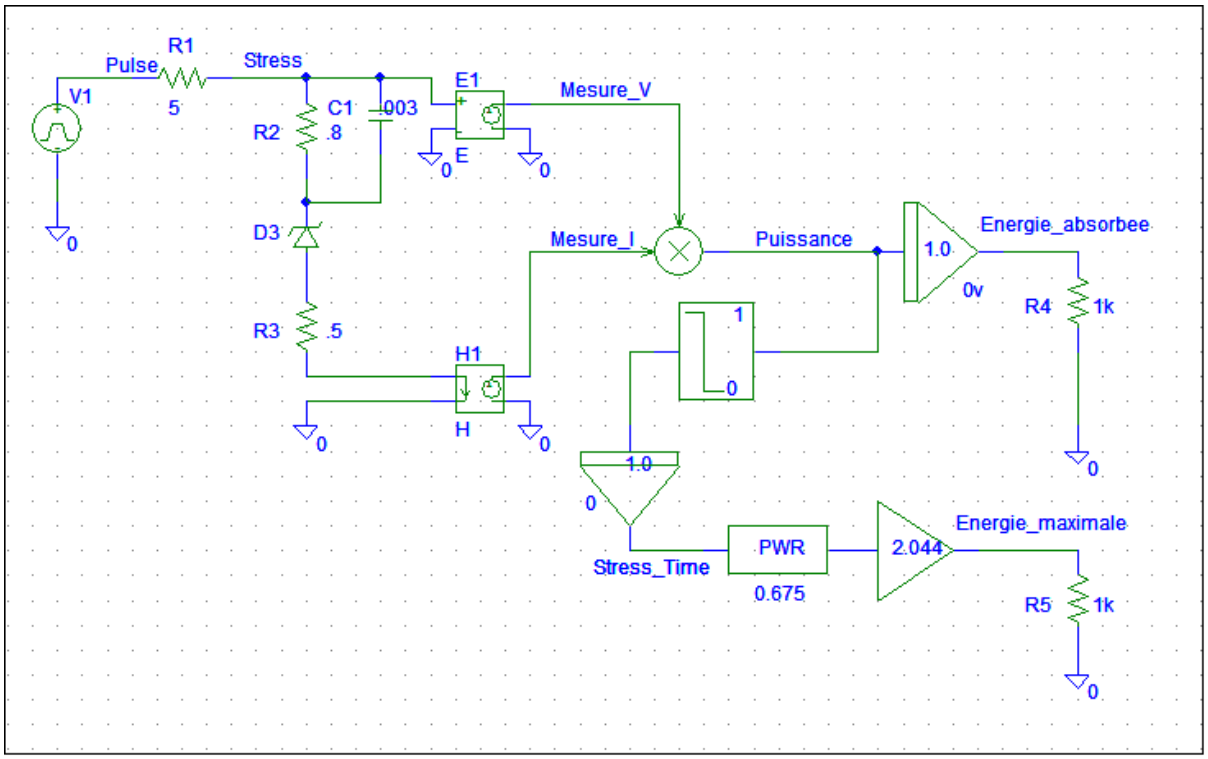


Figure 4-24 : BZX84-B6V8 - Modèle SPICE EOS comportemental.

- Le générateur de tension lié à une tension E1 permet de prélever la tension aux bornes de la diode et produit la tension « Mesure_V » image de la tension aux bornes de la diode.

- Le générateur de tension lié à un courant H1 permet de prélever le courant traversant la diode et produit la tension « Mesure_I » image du courant dans la diode.

- Les deux tensions « Mesure_V » et « Mesure_I » sont multipliées pour obtenir l'image de la puissance instantanée dans la diode sous forme d'une tension notée « Puissance ».

- Cette puissance instantanée est intégrée et produit une tension notée « Energie_absorbée » image de l'énergie reçue par la diode au cours du stress.

- La tension « Puissance » est passée dans un amplificateur limiteur à 1V qui crée une référence temporelle qui permet de savoir, indépendamment des paramètres du générateur de stress V1, à partir de quel moment la puissance reçue par la diode est différente de 0. Ce signal est intégré pour générer sous forme d'une tension, notée « Stress_Time », le temps qui s'est écoulé depuis que la diode est stressée ; c'est-à-dire depuis que la puissance dans la diode est non nulle.

- La tension « Stress_Time » est ensuite élevée à la puissance 0,675 puis multipliée par 2,044 conformément à l'équation (4-2) pour produire une tension, notée « Energie_maximale » qui est l'énergie que peut recevoir la diode avant l'apparition de la 2nde avalanche.

Il ne reste plus qu'à vérifier, si pendant le stress, la tension « Energie_absorbée » reste inférieure à « Energie_maximale ». Si c'est le cas, la diode ne subit pas le phénomène de 2nde avalanche. Dans le cas contraire, on peut savoir au bout de combien de temps cela se produit en mesurant l'écart de temps entre le passage à 1V de la sortie du limiteur et le point d'intersection des deux courbes « Energie_absorbée » et « Energie_maximale ».

4.5.3. Exemples de résultats avec la BZX84-B6V8

Afin de valider ce modèle comportemental SPICE de la diode Zener BZX84-B6V8, une simulation a été faite avec un générateur de stress délivrant une onde carrée d'amplitude 17,4V, de durée 4ms, de temps de montée et de descente 1ms et pour un shunt de 5Ω. Cette simulation reflète fidèlement un essai effectué avec la diode dont les résultats sont donnés sur la Figure 4-25.

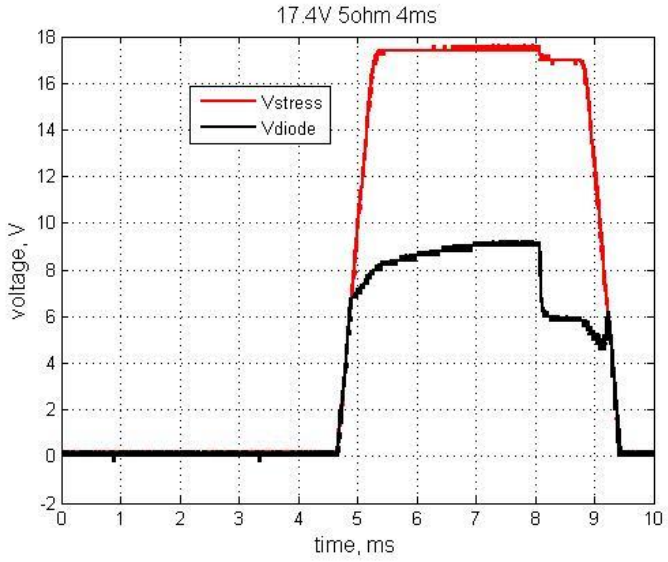


Figure 4-25 : BZX84-B6V8 - Dégradation en cours de stress, conditions 17,4V, 4ms, 5Ω.

Sur la Figure 4-26, on voit que :

À la fin de la montée du pulse la tension aux bornes de la diode vaut environ 8V et est égale à celle observée sur la Figure 4-25. Sur le plateau du pulse, on constate que la tension aux bornes de la diode continue à augmenter ; cela traduit l'auto-échauffement et est dû au rôle de C1//R2.

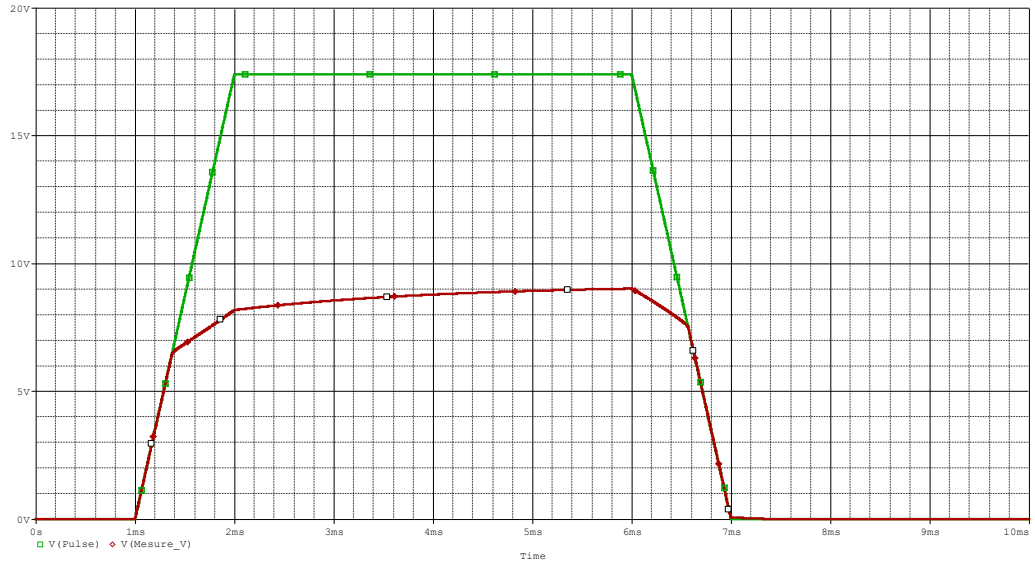


Figure 4-26 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental

Pulse 17,4V, durée 4ms, t_r=t_f=1ms, shunt 5Ω

Courbe verte : Tension générateur de stress.

Courbe rouge ; Tension aux bornes de la diode.

Sur la Figure 4-27, on constate que la courbe verte « Energie_absorbée » reste inférieure à la courbe rouge « Energie_maximale » de 1,4ms jusqu'à 4,4ms ; ce qui veut dire que la diode ne fonctionne pas en régime de 2nde avalanche. Au-delà de 4,4ms, la diode passe en régime de 2nde avalanche.

Ce point de départ des courbes d'énergie à t=1,4ms, correspond au fait qu'avant cet instant, soit le stress est absent car il démarre à t=1ms dans la simulation, soit la diode est parcourue par un courant nul. Cela est le cas entre 1ms et 1,4ms comme on le voit sur la Figure 4-26 où la tension de stress est égale à la tension aux bornes de la diode ; c'est-à-dire un courant nul dans le circuit.

De la Figure 4-27, on déduit donc que la 2nde avalanche apparait 3ms après la mise en conduction de la diode ; ce qui est parfait accord avec l'expérience de la Figure 4-25 où la diode conduit à t=5ms et passe en régime de 2nde avalanche à t=8ms soit un temps de 3ms par faire apparaitre la 2nde avalanche avec ce générateur de stress et cette valeur de shunt.

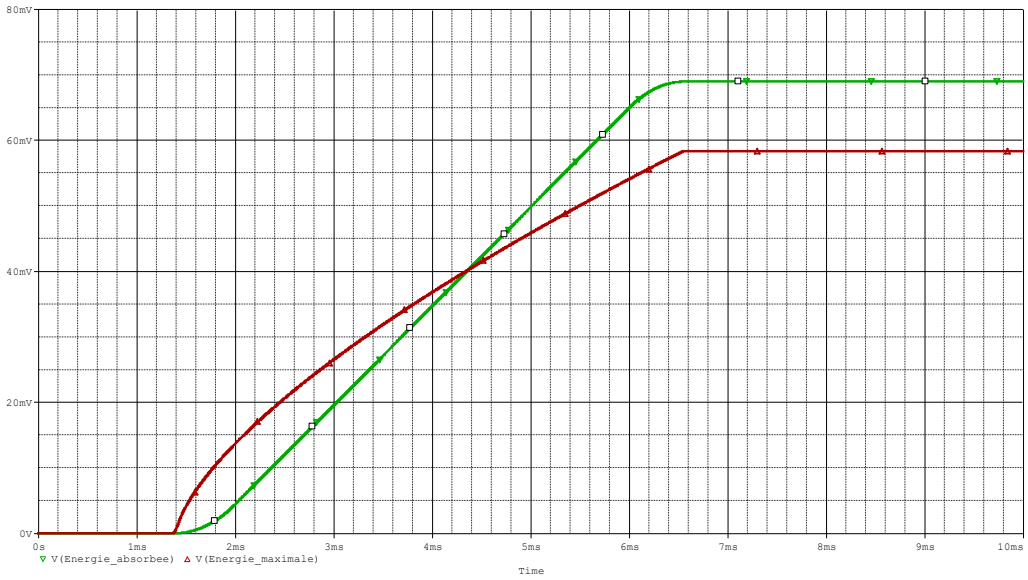


Figure 4-27 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental.

Pulse 17,4V, durée 4ms, t_r=t_f=1ms, shunt 5Ω

Courbe verte : Puissance reçue par la diode.

Courbe rouge ; Puissance maximale avant 2nde avalanche.

Afin de poursuivre la validation du modèle, une comparaison a été faite avec un autre essai fait avec une amplitude de pulse de forme carrée d'amplitude 15V, de durée 8ms, de temps de montée et de descente 1ms et pour un shunt de 5Ω.

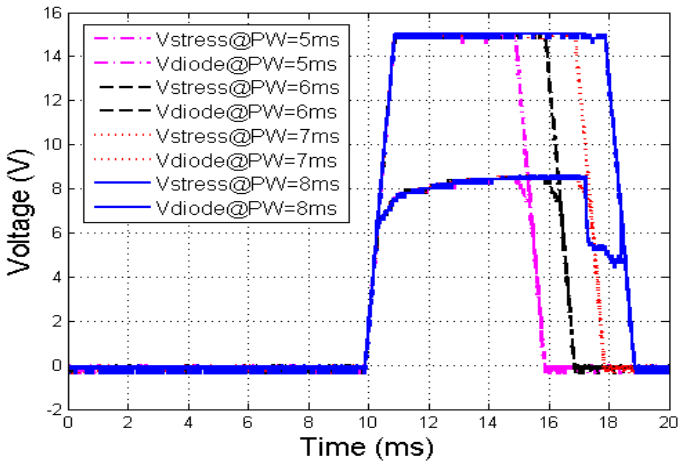


Figure 4-28 : BZX84-B6V8 - Dégradation en cours de stress-

Courbes bleues : conditions 15V, 8ms, 5Ω.

Le résultat de l'essai est donné par les courbes en bleu de la Figure 4-28 et on constate que la 2nde avalanche apparait environ à t=17ms pour un pulse démarrant à t=10ms soit un temps de

déclanchement de la 2nde avalanche d'environ 7ms. Sur la simulation présentée sur la Figure 4-29, on constate que le modèle prédit un déclanchement à t=8ms pour un pulse démarrant à 1ms soit un temps de déclanchement de la 2nde avalanche de 7ms. Ce résultat conforte le bon fonctionnement du modèle comportemental de la diode Zener.

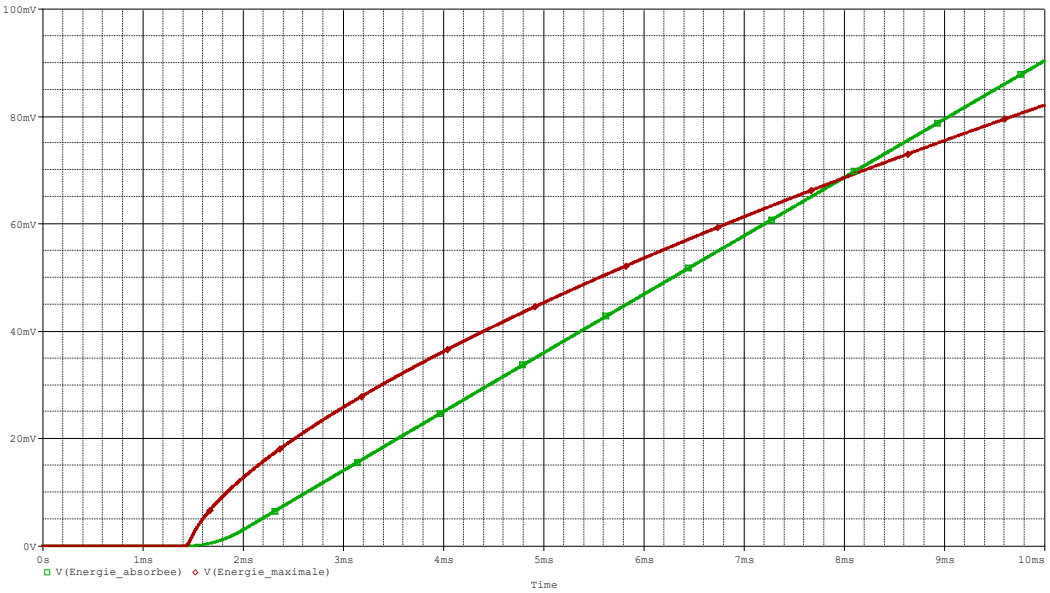


Figure 4-29 : BZX84-B6V8 - Résultats du modèle SPICE EOS comportemental

Pulse 15V, durée 8ms, t_r=t_f=1ms, shunt 5Ω

Courbe verte : Puissance reçue par la diode.

Courbe rouge ; Puissance maximale avant 2nde avalanche.

4.5.4. Conclusions et améliorations du modèle SPICE

La comparaison faite dans le paragraphe précédent permet de valider le modèle comportemental SPICE EOS de la diode BZX84-B6V8. Il convient toutefois de rappeler que ce modèle possède certaines limitations et qu'il est uniquement valide pour :

- Des durées de stress comprises entre quelques ms et quelques dizaines de ms. Pour d'autres durée de pulses, il faut changer les coefficients de l'équation (4-2),

- Une impulsion unique car comme on le voit sur la Figure 4-27, la courbe d'énergie absorbée reste constante après la disparition du stress. Pour résoudre ce problème, il faudrait évacuer cette énergie avec un circuit RC simulant le comportement thermique de la diode échangeant

avec son environnement et remettre à zéro la variable « Stress_Time » à la fin de chaque pulse du stress.

Il faut aussi rappeler que l'équation (4-2) a été obtenue à la suite d'une campagne d'essais comprenant de très nombreuses mesures, de très nombreux post-traitement de ces mesures et de non moins nombreux calculs sur ces mesures. C'est donc une méthode assez longue et couteuse.

On constate aussi sur les Figure 4-27 et Figure 4-29 que les énergies mises en jeu sont de l'ordre de plusieurs dizaines de mJ et donc inaccessibles en essais TLP où les énergies s'expriment en dizaines de µJ.

4.6. Conclusion du Chapitre 4

Des études approfondies permettant de comprendre les phénomènes électriques à l'origine des dégradations dans les composants électroniques ayant subi des stress EOS/OVS ont été menés dans ce chapitre. L'interprétation des effets EOS avec différentes formes d'onde a été réalisée. Des analyses empiriques de défaillance microélectroniques illustrant le changement d'état des matériaux constituant les composants testés ont été rapportées. Ces analyses ont été principalement appliquées à plusieurs échantillons des composants électroniques de test fournis par des industriels partenaires du projet FUI SESAMES qui sont la diode Zener BZX84-B6V8 et le CI CMOS TDA8007. Pour ces deux composants, des effets microélectroniques similaires illustrant la fusion des éléments conducteurs principalement due à l'auto-échauffement ont été observés. Des images de test visualisées des composants endommagés après EOS à l'aide spectroscopie à rayon X, EDX et par microscope électronique à balayage nous illustrent, par exemple, la fusion des fils de bonding et l'apparition des phénomènes de migration d'électrons.

Cette observation a conduit à la proposition des modèles prédictifs d'abord basés sur la mise en équation de la variation de l'énergie d'activation liée aux tensions EOS. Ensuite, le développement d'un modèle électrothermique de la diode permettant de reproduire fidèlement comportement transitoire de la diode durant l'EOS. La faisabilité du modèle a été illustrée par des simulations des structures sous VHDL-AMS et SPICE.

Page intentionnellement blanche

CONCLUSION GENERALE ET PERSPECTIVES

Prendre en compte les aspects d'EOS dès les premières étapes de la conception d'un circuit électronique nécessite la connaissance de la robustesse des composants vis à vis des perturbations venant des stress électriques conduits. Pour ce faire, les ingénieurs concepteurs doivent opter pour une simulation des circuits électroniques incluant des modèles EOS pour les composants utilisés. Pour cette raison, le projet « SESAMES » a été lancé afin de caractériser la robustesse des composants électroniques soumis aux stress électriques conduits de type OVS, de proposer des moyens d'essais adaptés et d'établir des modèles EOS de composants électriques. Ces derniers doivent être facilement implantables dans les outils de simulation utilisés l'industrie. Ces travaux de thèse s'inscrivent dans ce contexte.

Afin de répondre à cette triple problématique, l'IRSEEM et ses partenaires industriels du projet « SESAMES », ont commencé par rechercher, dans les études existantes, quelles étaient les différentes sources des stress électriques conduits ainsi que les mécanismes de défaillance et les types de susceptibilité EOS associés. De cet état de l'art, il ressort que les sources d'événements EOS/OVS, qui sont potentiellement nombreuses et diverses en termes de forme d'onde, sont toutefois caractérisées par des durées relativement longues, exprimées en ms et par des énergies, exprimées en mJ, plus importantes que celles des évènements ESD. Les types de susceptibilité OVS cités sont la susceptibilité au champ électrique et la susceptibilité à l'énergie comme pour les événements ESD qui ont déjà été beaucoup étudiés et pour lesquels des modèles et des moyens de test ont été normalisés. En revanche, il n'existe pas beaucoup d'études sur les évènements EOS/OVS ni sur les moyens d'essais ni modèles pour la simulation. Les testeurs comme le TLP largement utilisé pour les ESD ne sont pas suffisants pour les essais EOS/OVS à cause d'une durée de stress limitée à quelques centaines de ns.

Dans le deuxième chapitre de ce document, nous avons tout d'abord présenté le développement par notre laboratoire d'un banc de stress EOS semi-automatisé. Ce banc peut générer des signaux de stress avec forme d'ondes arbitraires dont plusieurs paramètres tels qu'amplitude, durée, temps de montée et temps de descente peuvent être réglés par logiciel. Ce banc peut aussi mesurer la caractéristique des composants sous test juste avant et après le stress et transférer toutes les données dans un PC pour y être traiter.

Pour voir l'impact de perturbation EOS/OVS sur la robustesse des composants électroniques et comprendre le mécanisme de dégradation, nous avons réalisé trois séries des essais sur deux types des

composants, une diode Zener et une entrée CMOS d'un circuit intégré pour reproduire les dégradations causées par EOS/OVS. Les essais ont commencé par la forme d'onde la plus simple – forme d'onde carrée. Nous avons identifié la dégradation due au stress EOS sous forme d'une chute de la tension aux bornes des deux composants pendant le stress ; chute de tension qui apparait ou non en fonction de l'amplitude ou de la durée du stress. La variation du temps de montée et du temps de décente n'influence pas le résultat observé. La conclusion, suite aux résultats obtenus, a été que c'est l'énergie transmise au composant qui entraine la dégradation par effet de joule. Si l'énergie transmise par unité de temps est plus grande que celle que peut dissiper le composant, la chaleur commence à accumuler sur le composant. Dès qu'il atteint un seuil, la dégradation due au stress EOS se déclenche. Pour complémenter nos essais, deux autres formes d'onde ont été utilisées. La forme d'onde double exponentielle est utilisée pour voir le cas d'une tension de stress variable au cours du temps. Ici nous n'avons pas constaté une dégradation de nature différente. La forme d'onde sinusoïdale amortie a été utilisée pour voir le cas d'un stress négatif. Les composants sont dégradés cette fois par une fusion du fil de bonding.

Dans le troisième chapitre, à l'aide des analyses de défaillance nous avons pu identifier les lieux et les mécanismes des dégradations engendrées par les stress EOS. À part dans le cas d'un stress en sinus amorti où la dégradation est une fusion du fil de bonding, les autres stress ont toujours amené une élévation de température au niveau des couches conductrices et les couches actives des composants testés. Cela a permis de confirmer que nous étions en présence de composants sensibles à l'énergie communiquée par le stress EOS.

Cette hypothèse « sensibilité à l'énergie » nous a amené à rechercher pour les deux composants testés la relation liant l'énergie totale reçue par le composant stressé et le temps de stress avant apparition de la dégradation engendrée par le stress. Ce travail a constitué la première étape de modélisation des composants sous stress EOS proposé dans le chapitre 4 de cette thèse. Par la suite, ce travail de modélisation s'est poursuivi, sur la base des essais réalisés sur la diode Zener, dans deux directions : l'établissement d'un modèle « physique » électrothermique VHDL-AMS et l'établissement d'un modèle « comportemental » sous SPICE. Le modèle VHDL-AMS complet permet de décrire complètement le comportement de la diode Zener et en particulier l'apparition de la seconde avalanche. De son côté, le modèle SPICE permet seulement de dire si la diode a opéré ou non dans la zone de seconde avalanche. Dans les deux cas, ces modèles ont permis de reproduire fidèlement les essais réalisés pendant la campagne de stress EOS.

Cette méthodologie de modélisation EOS, présentée ici pour la diode Zener, peut être transposée à n'importe quel autre composant électronique. Il existe cependant un inconvénient à cette méthode qui est qu'elle demande un nombre important d'essais faute d'informations sur le comportement EOS des

composants électroniques. Néanmoins, il y a un intérêt à développer ce type de modèles car ils permettraient de prendre en compte, très tôt dans le cycle de conception d'une fonction électronique, les phénomènes EOS et éviteraient d'onéreux cycles de re-conception après des essais EOS non concluants.

On peut donc conclure en disant que moyennant la mise à dispositions, par les fabricants de composants électroniques, de quelques paramètres supplémentaires comme la résistance thermique, la capacité thermique et la relation liant l'énergie totale reçue par le composant stressé et le temps de stress avant apparition d'une dégradation, l'établissement de modèles EOS, intégrables dans des outils de simulation, serait aisé. C'est surtout la relation énergie-temps qui pose problème car, à part les courbes dites de Wunsch & Bell fournies pour certains composants, cette information n'est généralement pas disponible.

Nous pouvons donc proposer différentes perspectives pour poursuivre cette étude comportant des axes internes au laboratoire et un axe inter-laboratoires.

Les axes internes au laboratoire sont :
Le modèle électrothermique de la diode Zener.
Dans le modèle présenté, nous utilisons un circuit RC pour représenter l'auto-échauffement de la diode Zener. Nous pouvons améliorer le modèle en revenant au niveau physique, la diminution du taux d'ionisation par impact, pour décrire ce comportement.

Le nombre de composants modélisés.
Nous n'avons modélisé qu'un seul composant dans cette thèse. Cependant, la méthodologie de modélisation peut être utilisée pour d'autres composants. En particulier, des modèles EOS de composants faiblement intégrés, comme les circuits de commande de grille pour MOSFETs et les MOSFETs de moyenne puissance, seraient particulièrement intéressants pour les équipementiers du secteur « électronique automobile » qui sont souvent confrontés à des réseaux de bord véhiculant naturellement des sources de stress EOS.

Les moyens de tests EOS/OVS.
Le banc de tests actuel est semi-automatisé et est piloté par le logiciel LabVIEW ; ce qui le rend particulièrement flexible et adapté à des travaux de type « recherche ». En revanche, s'il s'agit de caractériser en EOS un nombre important de composants électroniques, il convient de poursuivre l'automatisation pour diminuer le temps de caractérisation et le temps de traitement des informations recueillies.

En ce qui concerne l'axe inter-laboratoires, il s'agit essentiellement de mener des actions lobbying pour que la thématique EOS/OVS soit plus largement prise en compte et débouche sur une normalisation des essais EOS, des moyens d'essais associés et sur une définition la tenue EOS des composants électroniques. Une telle normalisation, équivalente à ce qui existe aujourd'hui pour l'ESD, ne pourrait être que profitable aux fabricants de composants électroniques, aux concepteurs de fonctions électroniques, aux intégrateurs de produits électroniques et aux clients finaux que nous sommes.

BIBLIOGRAPHIE

[1] G. E. Moore, “Cramming more components onto integrated circuits”, Proc. IEEE, Vol. 86, No. 1, Jan. 1998, pp. 82-85.

[2] http://fr.wikipedia.org/wiki/Loi_de_Moore

[3] G. E. Moore, “Progress in digital integrated electronics”, IEEE Int. Electron Device Meeting (IEDM Tech Digest), Vol. 21, 1975, pp. 11-13.

[4] Bonnie Baker, “The electrical-overstress ghost,” EDN Network, Mar. 2011, http://www.edn.com/electronics-blogs/bakers-best/4369590/The-electrical-overstress-ghost

[5] http://www.qrtkr.com/en/techEsd01.html

[6] Eilhard Haseloff, “Latch-Up, ESD, and Other Phenomena”, TEXAS INSTRUMENTS, Application Report, May 2000.

[7] Intel, “Packaging Databook”, Chapitre 6, 2000.

[8] ON Semiconductor, “Latch-up Considerations for ESD Protection Devices on High Speed Serial Interface Applications”, December, 2012 – Rev. 0.

[9] SENSIRION, “Application Note: ESD, Latch-Up and EMC”, March 2000 – Rev. 1.3.

[10] Analog Devices Inc., “EOS/ESD ADI reliability hand book”, Norwood, MA, 2000, pp. 1-86, http://www.analog.com/static/imported-files/quality_assurance/reliability_handbook.pdf

[11] J. S. Smith, “Analysis of Electrical Overstress Failures”, Proc. 11th Int. Reliability Physics Symp., Las Vegas, NV, USA, 1973, pp. 105-107.

[12] J. S. Smith, “Electrical Overstress Failure Analysis in Microcircuits”, 16th International Reliability Physics Symposium, San Diego, CA, USA, April 1978, pp. 41-46.

[13] T. J. Green and W. K. Denson, “A Review of EOS/ESD field Failures in Military Equipment”, Proc. of 10th EOS/ESD Symposium, 1988, pp. 7-14.

[14] G. Schrittesser, “EOS root cause evaluation by means of failure signature investigation, 12th AEC Workshop, Nashville, TN, USA, May 2007.

[15] V. Kraz, “Origins of EOS in Manufactring Environment and its Classification”, Proc. of 31th EOS/ESD Symposium, Anaheim, CA, USA, Aug. 30-Sept. 4 2009, pp. 1-5.

[16] C. Thienel, “Electrical Overstress of Automotive Semiconductors – Root Causes and Conclutions”, Euroforum Stuttgart, 2010.

[17] J. L. Lefebvre et al. “Correlation between EOS customer return failure cases and Over Voltage Stress test method”, Microelectronics Reliability, Vol. 49, 2009, pp.952-957.

[18] K. Suzuki and M. Sato, “The ESD Preventive Measure Based on the Excessive Mobile Charge for Advanced Electron Devices and Production Lines”, Proc. of EOS/ESD Symposium, Charlotte, NC, USA, Oct. 2002, pp. 200-211.

[19] V. Kraz et al, "EOS Exposure of Magnetic Heads and Assemblies in Automated Manufacturing", Proc. of EOS/ESD Symposium, Tucson, AZ, USA, Sep. 2005, pp. 1-6.

[20] K. T. Kaschani and R. Gärtner, "A Methodology to deal with Electrical Overstress in the Design, Handling and Application of Integrated Circuits", ESD-Forum, 2011.

[21] D. L. Durgin, "An Overview of the Sources and Effects of Electrical Overstress", Proc. of EOS/ESD Symposium, 1980.

[22] C. Diaz, S. M. Kang and C. Duvvury, "Electrical Overstress and Electrostatic Discharge", IEEE Tran. On Reliability, Vol. 44, Mar. 1995, pp. 2-5.

[23] K. T. Kaschani and R. Gartner, "The Impact of Electrical Overstress on the Design, Handling and Application of Integrated Circuits, Proc. of 33rd EOS/ESD Symposium, Anaheim, CA, USA, Sep. 2011, pp. 1-10.

[24] SESAMES Project www.sesames-fui.eu

[25] Intel Corporation, Intel's Packaging Databook chapter 6: ESD/EOS, 2000. http://www.intel.com/content/www/us/en/processors/packaging-chapter-06-databook.html?wapkw=intel%CA%B9s+packaging+databook

[26] Intel Corporation, Intel Customer Manufacturing Enabling Guide chapter 3: ESD/EOS, May 2000. http://www.intel.fr/content/www/fr/fr/quality/manufacturing-enabling-guide-intro.html

[27] Texas Instruments, "Application Report: Electrical Overstress Damage of TI 1394 PHY Devices", June 2008. http://www.ti.com.cn/cn/lit/an/slea072a/slea072a.pdf

[28] A. Urbieta, "Sensitivity Study To EOS/ESD of Bipolar Integrated Circuits", Proc. of EOS/ESD Symposium, 1986.

[29] T. W. Lee et al, "Discrete Semiconductor ESD Testing to 40 kV", Proc. of EOS/ESD Symposium, 1988.

[30] V. Kraz, "ESD Exposure to Sensitive Devices During Device Packaging and Assembly", proc. Taiwan ESD symposium, 2007.

[31] V. Kraz, "ESD Problem Diagnostics in IC and PCB Assembly", conformity magazine, April 2009.

[32] V. Kraz, "Monitoring of ESD Exposure to Components in IC Handlers", Proc. RCJ Symposium in Tokyo, Nov. 2002.

[33] V. Kraz, "ESD: The Discharge part of Electrostatic Discharge", Credence Technologies, 2000. *www.credencetech.com*

[34] V. Kraz, "EMI and Equipment Malfunction in Cleanroom Environment", Credence Technologies, 2000. *www.credencetech.com*

[35] V. Kraz, "EMI Issues in Semiconductor Manufacturing Environment", Taiwan ESD symposium, 2006.

[36] K. P. Yan and R. Gaertner, "An Alternative Method to Verify the Quality of Equipment grounding", proc. of EOS/ESD Symposium, Tuscon, AZ, USA, Sep. 2005, pp. 1-9.

[37] A. Wallash and V. Kraz, "Measurement, Simulation and Reduction of EOS Damage by Electrical Fast Transients on AC Power", Proc. of 32nd EOS/ESD Symposium, Reno, NV, USA, Oct. 2010, pp. 1-6.

[38] V. Kraz, P. Tachamaneekorn and D. Napombejara , "EOS exposure of Magnetic Heads and Assemblies in Automated Manufacturing", Proc. EOS/ESD Symposium, Tucson, AZ, USA, Sep. 2005, pp. 1-6.

[39] G. Baumgartner and J. S. Smith, "EOS Analysis of Soldering Iron Tip Voltage", Proc. of EOS/ESD Symposium, Reno, NV, USA, Oct. 1998, pp. 224-232.

[40] W. Farwell, K. Hein and D. Ching, "EOS from soldering irons connected to faulty 120VAC receptacles", Proc. of EOS/ESD Symposium, Tucson, AZ, USA, Sep. 2005, pp. 1-7.

[41] P. King, "Ground Bounce Basics and Best Practices", Agilent Technologies, Jan. 2003. http://www.keysight.com/upload/cmc_upload/All/Ground_Bounce.pdf?&cc=FR&lc=fre

[42] V. Kraz and P. Gagnon, "How good is your ground?", Evaluation Engineering magazine, May 2006.

[43] B. Baumgarther, "Voltage and Energy Susceptible Device Concepts, Including Latency considerations", ESD Association Technical Report ESD TR 16-03, 2011. Available online http://www.esda.org/documents/StandardsUpdate2011.pdf

[44] IEC 61000-4-2, Edition 2.0, Dec. 2008. http://webstore.iec.ch/preview/info_iec61000-4-2%7Bed2.0%7Db.pdf

[45] MIL-STD-883H, method 3015.8, 26 Feb. 2010. https://acc.dau.mil/adl/en-US/149305/file/64220/std883.pdf

[46] JOINT JEDEC/ESDA STANDARD FOR ELECTROSTATIC DISCHARGE SENSITIVITY T EST - HUMAN BODY MODEL (HBM) - COMPONENT LEVEL JS-001-2012 April 2012. http://www.jedec.org/standards-documents/docs/js-001-2012

[47] FIELD-INDUCED CHARGED-DEVICE MODEL TEST METHOD FOR ELECTROSTATIC DISCHARGE WITHSTAND THRESHOLDS OF MICROELECTRONIC COMPONENTS JESD22-C101F (Revision of JESD22-C101E, December 2009) October 2013. http://www.jedec.org/standards-documents/docs/jesd-22-c101d

[48] ESD STM5.3.1-2009: Electrostatic Discharge Sensitivity Testing -- Charged Device Model, ESD Association, Rome, NY.

[49] ESD Industry Council White Paper 1: "A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements," August 2008, http://www.esda.org/IndustryCouncil.html

[50] ELECTROSTATIC DISCHARGE (ESD) SENSITIVITY TESTING MACHINE MODEL (MM) JESD22-A115C Nov 2010.

[51] ESDA ANSI/ESD S5.2 2009 For Electrostatic Discharge Sensitivity Testing – Machine Model (MM) – Component Level.

[52] Ronald Troutman, 1986, “Latchup in CMOS Technology: the problem and its cure”, Kluwer Academic Publishers Norwell, MA, USA, 1986.

[53] JEDEC STANDARD, IC Latch-Up Test, JESD78D, November 2011.

[54] C. Hillman, “White Paper Temperature Dependence of Electrical Overstress”, Aug. 2007. http://www.dfrsolutions.com/uploads/white-papers/Temp_Dependence_Electrical_Overstress.pdf

[55] SiliconFarEast, “Oxide Breakdown”, 2001-2004. http://www.siliconfareast.com/oxidebreakdown2.htm

[56] J. McPherson, V. Reddy, K. Banerjee and H. Le, “Comparison of E and 1/E TDDB Models for SiO2 under long-term/low-field test conditions”, Proc. of International Electron Devices Meeting (IEDM), 1998, pp. 171-174.

[57] J. McPherson and H. Mogul, “Underlying physics of the thermo chemical E model in describing low-field time-dependent dielectric breadown in SO2 thin films”, J. Applied Physics, vol. 1 (84), No.3, 1998, pp. 1513-1523.

[58] D. C. Wunsch and R. R. Bell, “Determination of threshold failure levels of semiconductor diodes and transistors due to pulse voltages”, IEEE Trans. Nuc. Sci. Vol. 15, Dec. 1968, pp. 244-259, Dec.

[59] P. Mars, “Thermal Analysis of P-N Junction Second Breakdiwn Initiation”, International Journal of Electronics, Vol. 32, No. 1, 1972, pp. 39-47.

[60] D. Bradley, J. Higgins, M. Key, and S. Majumdar, "A simple laser-triggered spark gap for kilovolt pulses of accurately variable timing," Opto-Electronics Letters, vol. 1, 1969. pp. 62–64.

[61] T. J. Maloney and N. Khurana, “Transmission line pulsing techniques for circuit ,odeling of ESD phenomena”, 1985 EOS/ESD Symposium, Sep. 1985, pp. 49-54.

[62] http://barthelectronics.com/?page_id=181

[63] http://www.esdlab.com/equipment_oryx_tester.shtml

[64] Datasheet NXP BZX84-B6V8

[65] Datasheet NXP TDA8007

[66] JEDEC STANDARD FOR ZENER AND VOLTAGE REGULATOR DIODE RATING VERIFICATION AND CHARACTERIZATION TESTING JESD-211.01 Nov. 2012. https://www.jedec.org/standards-documents/docs/jesd21101

GLOSSAIRE

Abréviation	**Signification**
EOS	Electrical overstress
CEM	Compatibilité ElectroMagnétique
IEM	Interference ElectroMagnétique
OVS	Over Voltage Stress
ESD	Electrostatic discharge
HBM	Human Body Model
CDM	Charged Device Model
MM	Machine Model
MEB	Microscopie Electronique à Balayage
FIB	Focused Ion Beam
SPICE	Simulation Program with Integrated Circuit Emphasis
VHDL-AMS	VHDIC (Very High Speed Integrated Circuit) Hardware Description Language-Analog and Mixed-Signal extension

Page intentionnellement blanche

ANNEXES

Annexe 1 : Datasheet des composants testés

A.1.1. Caractéristiques de la diode Zener BZX84B6V8

```
*
*****************************************
*
*BZX84-B6V8
*
*NXP Semiconductors
*
*Voltage regulator diode
*
*
*IR    = 2µA  @ VR = 4V
*IZSM  = 6A   @ tp = 100µs
*VZmax = 7,2V @ IZ = 5mA
*
*
*Package pinning does not match Spice model pinning.
*Package: SOT23
*
*Package Pin 1: Anode
*Package Pin 2: not connected
*Package Pin 3: Cathode
*
*
*
*Simulator: PSPICE
*
*****************************************
*#
.MODEL BZX84-B6V8 D
+ IS=110.88E-18
+ N=.92657
+ RS=.85899
+ IKF=149.75
+ CJO=93.867E-12
+ M=.35256
+ VJ=.75339
+ ISR=522.33E-12
+ BV=6.9329
+ IBV=1.0062
+ TT=231.41E-9
*##
*
```

A.1.2. Caractéristiques du CI CMOS TDA 8007

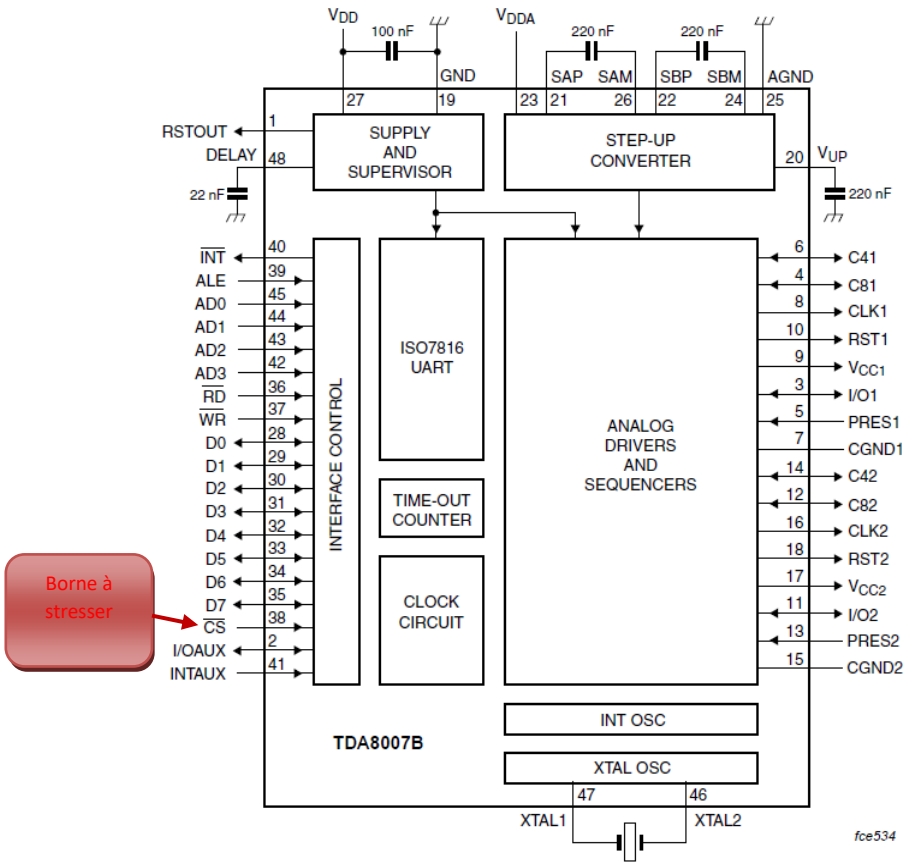


Figure A1-1 : Le diagramme du composant TDA8007

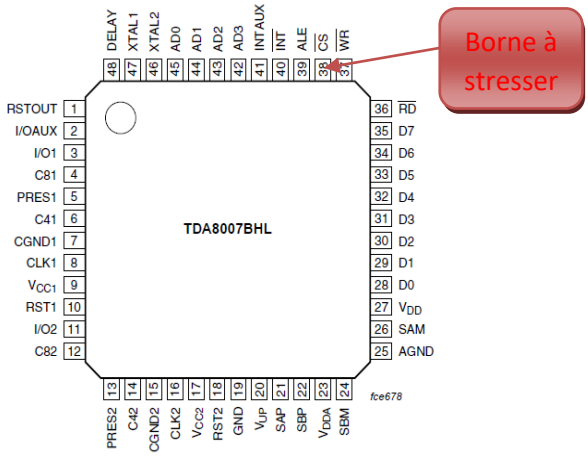


Figure A1-2 : Les broches du composant TDA8007

Annexe 2 : Code LabVIEW de génération des signaux transitoires EOS

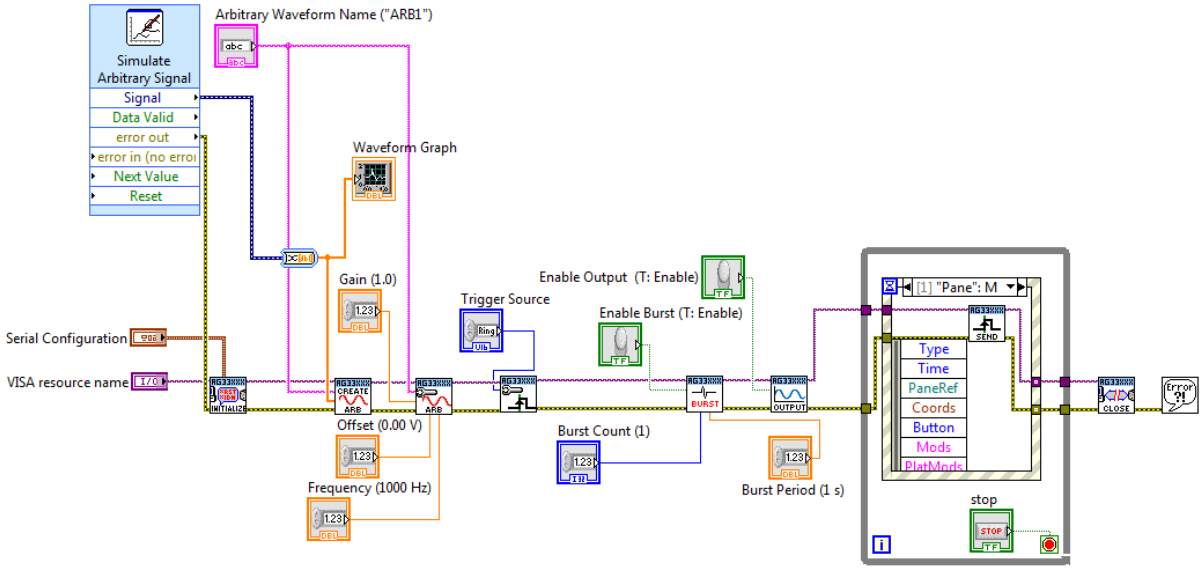


Figure A2-1 : Program LabVIEW pour la génération de forme d'onde « carré ».

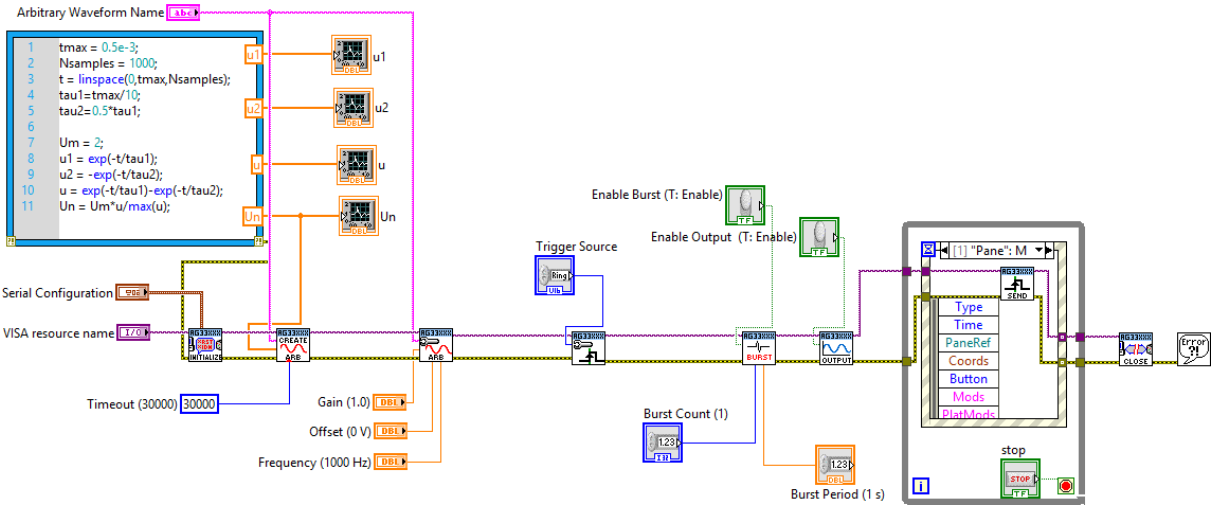


Figure A2-2 : Program LabVIEW pour la génération de forme d'onde « double-exponentielle ».

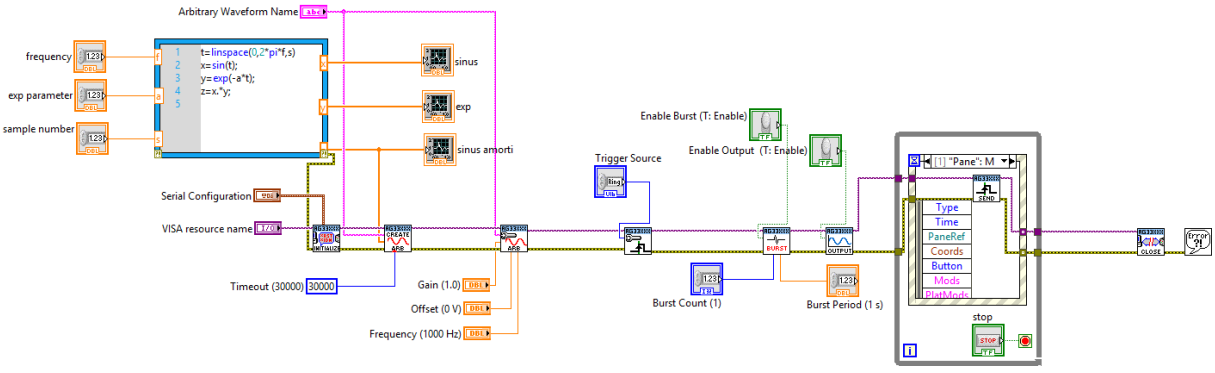


Figure A2-3 : Program LabVIEW pour la génération de forme d'onde « sinusoïde amortie ».

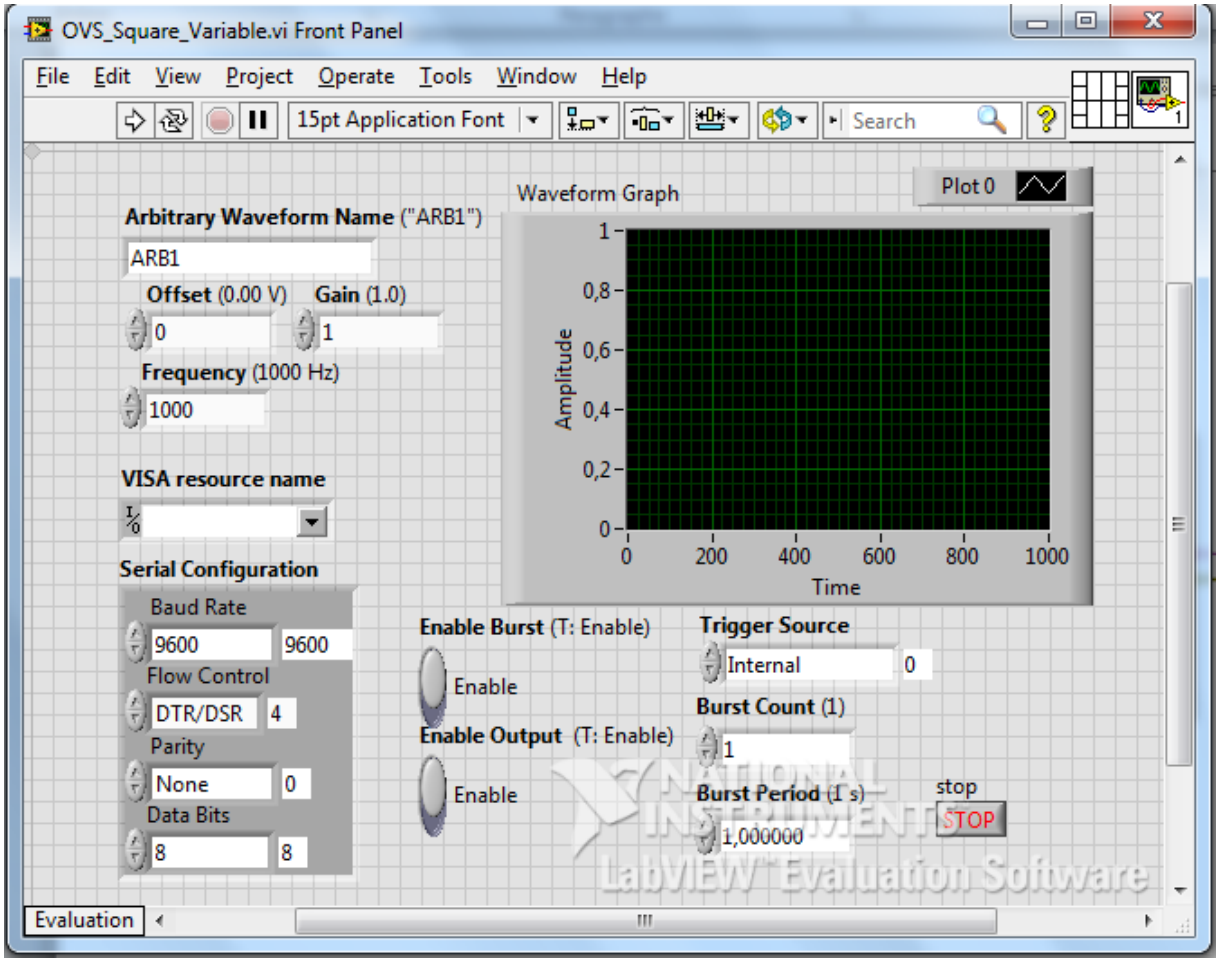


Figure A2-4 : Interface de commande LabVIEW

Annexe 3 : Codes VHDL-AMS des modèles EOS

```
begin

  power == temp/rthermal+cthermal*temp'dot;

  power == v * i;

  vt == (PHYS_K * (temp+Temp_ambient)) / PHYS_Q;

  v ==  vs + veos + vd + vdrop;

  vs == i*Rss;

  i*reos == veos + ceos*veos'dot*reos;

 if v <= -BV and temp < 60.0 use

       reos == 0.8;

       ceos == 3.0e-3;

       Rss == Rs;

       vdrop == 0.0;

       i == -IBV*(limit_exp(-(vd+BV)/vt)-1.0);


  elsif v <= -BV and temp >= 60.0 use

       reos == 0.0;

       ceos == 0.0;

       i == -IBV*(limit_exp(-(vd+BV)/vt)-1.0);

       vdrop == 1.5;

       Rss == Rs;

  else

       reos == 0.0;

       ceos == 0.0;

       i == -Isat*(limit_exp(vd/vt)-1.0);

       vdrop == 0.0;

       Rss == Rs;

  end use;
```

Page intentionnellement blanche

LISTE DE PUBLICATIONS

Journaux internationaux

[JI1] **F. Zhu**, F. Fouquet, B. Ravelo, M. Kadi and A. Alaeddine, "Experimental investigation of Zener diode reliability under pulsed Electrical Overstress (EOS)," Microelectronics Reliability, Vol. 53, No. 9–11, Sept.–Nov. 2013, pp. 1288–1292.

[JI2] **F. Zhu**, B. Ravelo, F. Fouquet and M. Kadi, "Electrical predictive model of Zener diode under pulsed EOS", Electronic Letters, Vol. 51, No. 4, Feb. 2015, pp. 327-328.

Conférences internationales

[CI1] **F. Zhu**, F. Fouquet, B. Ravelo and M. Kadi, "Reliability of CMOS IC under square wave pulsed EOS", Proc. of 17ème Colloque international sur la compatibilité électromagnétique (CEM 2014), 1-3 Juillet 2014, Clermont-Ferrand, France, pp. 1-6.

[CI2] **F. Zhu**, B. Ravelo, F. Fouquet and M. Kadi, "Test of Zener Diode under Bi-Exponential Pulsed EOS", (sans acte) 8th Annual International Electrostatic Discharge Workshop (IEW 2014), 19-22 May 2014, Grand Hôtel de Paris, Villard de Lans, France.

[CI3] **F. Zhu**, F. Fouquet, B. Ravelo, M. Kadi and A. Alaeddine, "Experimental investigation of Zener diode reliability under pulsed Electrical Overstress (EOS)," Proc. of 24th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2013), 30 Sept. – 4 Oct. 2013, Arcachon, France, pp. 1-6.